

Allegro Design Authoring

无论是简单设计还是复杂设计，它都能容易的创建设计意图

系统厂商一直以来都在寻求以尽可能低的成本创新产品，这迫切需要一种方法来创造性的产品设计--要求更短、更可预测的设计周期。随着新的标准接口、体系架构和实现方法等设计要求的不断加强，硬件设计师需要一个完整的设计输入解决方案来平衡不断发展的技术方法需要。Cadence Allegro Design Authoring 是一种可扩展的、易用的设计解决方案，使用图表和电子表格界面来加快设计意图的实现过程（集成可驱动性的高速设计约束）。

Overview

基于Option模块化的选项配置，Allegro Design Authoring提供了一种可扩展的解决方案来适应不断变化的需求。Allegro Design Authoring (Base) 提供了一个强大、简单易用的原理图创建环境，允许创建平面的或者层次的原理图。其企业级的原理图编辑器无缝地集成Allegro PSpice Simulator, Allegro Sigrity 仿真以及Allegro PCB Designer, 针对即将开展的数字、模拟、射频和混合信号设计开启基于约束驱动的PCB设计流程。

多种风格选项允许为您的设计提供快速连通性，而不需要创建连接符号或者符号连接引脚或者端口。嵌入式电子表格的设计方式类似于界面，可以更容易的进行设计输入，这比传统的设计元件引脚较多的符号或背板设计方法提高至少5x到20x的速度。High-Speed选

项通过集成高速约束的层次的连通性，电子约束复用，允许创建正确的设计意图。从概念到制造，这使得一个约束-驱动的PCB实施流程到确保一个更短的、可预计的和完成PCB设计周期。其它配置包含一个Team Design选项，一个FPGA System Planner选项，一个FPGA ASIC Prototyping选项和一个Design Publisher选项。

Benefits

- 缩短创建设计意图的时间。
- 可同步进行原理图和Layout设计。
- 通过验证，约束-驱动流程来减少设计课程。
- 减少驱动数字、模拟和预Layout信号完整性仿真器的单个原理图的返工。
- 通过可扩展的基础软件加option的配置来减少整体成本。

Features

Schematic Editing

Allegro Design Authoring通过协同设计的方法来使工作流程效率最大化，设计可以分割成一页或者一个模块，每个设计师可以指定一页或多页或者模块，任意数量的设计师可以同时工作在相同设计的不同部分，并且互不干扰。各设计阶段可以在Allegro PCB Editor中继续Layout之前合并设计，这种并行设计的方法使得Allegro Design Authoring成为极其富有成效的大型设计。设计师可以并行的进行PCB Layout和原理图设计。在Allegro Design Authoring和Allegro PCB Editor中改变模式可以周期性地合并和同步。

Allegro Design Authoring中的原理图编辑器允许创建平面的或者层次设计而不需要进入“Hierarchical”或

“Occurrence”模式，它提供了一个Cross-referencer来注释原理图允许平面原理图上简单的信号追踪。原理图编辑器还允许快速放置多个分立器件，例如，放置512个电阻到一个512位的bus，只需要在这个bus上放置一个电阻，然后，设定512个这样的器件需要被放置，这样原理图编辑器可以自动以512位总线上连到这个电阻，这大大减少需要放置和显示在设计中的图形器件的数量。

Allegro Design Authoring点到点的连线方式可以很容易的连接端口到2个不同的器件，节约时间来创建原理图。同样自动插入一个引脚器件在一个现有的网络自动生成相关的输入和输出引脚来遵循相关的网络名称，缩短创建基本原理图的时间。

无论你是使用几百个页面的平坦式设计或是多个层次化设计，全局导航允许设计师点击几下鼠标即可指向设计的任何网络或器件，全局查找和替换窗口允许查找和代替器件或者属性，这些可以直接在Allegro PCB Editor或者Allegro PCB SI中高亮。

Customizable Rules Checking

Allegro Design Authoring具有消除多个设计迭代的规则检查器，它是一个真正全面的验证工具。它允许执行电气和设计规则检查来验证草图和准确图形的属性名、语法和值。规则检查器还包括支持后期的加工，扇入扇出错误，加载错误，功耗需求和成本要求。规则检查器检查逻辑和物理设计之间的校准。此外，还允许您自定义规则，以确保符合公司或者项目指定的设计要求。规则检查器可以用于原理图、器件和物理网表，它有一个规则定义的开发和调试环境，可以以批处理的方式运行，促进企业版软件环境的部署。

Design Reuse with Module Design

大多数的设计起源于其它设计或者复用现有设计的关键部分。Allegro Design Authoring为复用提供了多样的选择，所以您可以选择更有效的方法来设计。旧的设计，模块或者整个设计的页码都可以重用，这样可以减少返工和错误。调用Import Sheet对话框” 可以从一个设计复制单页或者多页到另一个设计，或者只复制粘贴设计之间的特殊的电路图，可以复用电气约束作为模块的一部分，或通过使用电气约束集（ECSets）。进一步的技术允许创建“复用”模块并放置在库文件中，像一个器件一样可用于其它设计中。每个模块的连通性、约束和Layout也都可以复用。同一个模块可以多次使用到相同的设计中而不需要重命名和复制。

FPGA Design-In

Allegro Design Authoring提供了一个综合的FPGA设计输入解决方案。Build Physical Wizard允许输入Xilinx、Actel和Altera FPGA到Allegro Design Authoring原理图，并自动创建驱动到Allegro PCB Editor、Allegro Design Authoring和数字解决方案流程的文件。当FPGA引脚分配更改，Allegro Design Authoring也智能化的管理转换到FPGA的接口以便于原理图的修改，但是逻辑上的设计不能改变。

FPGA-PCB Co-Design

与Allegro Design Authoring整合，Allegro FPGA System Planner为FPGA PCB协同设计提供了一个完整的、可扩展的解决方案，它允许创建一个最佳的正确建构的引脚分配。基于用户指定、接口连

通（设计意图），FPGA引脚分配是自动合成的，FPGA引脚分配规则（FPGA规则）和PCB上FPGA的实际位置（相对位置）。自动引脚分配合成，可以避免人工出错，缩短时间来创建初始引脚分配，这个引脚说明PCB上FPGA的位置（placement-aware引脚分配合成）。这种独特的placement-aware引脚分配方法消除了不必要的固有手动方法生成的物理设计迭代。

FPGA System Planner读取Allegro Design Authoring中的器件，创建Allegro Design Authoring原理图。它还集成了Allegro PCB Editor，它通过平面图的视图使用现有的封装库。在Layout过程中改变布局，可以从Allegro PCB Editor中直接进入FPGA System Planner优化引脚。

Design Variants

利用Allegro Design Authoring中的设计变体能力，可以在结构层面节约更多的时间和精力。设计变体功能减少了必须创建不同版本的相同设计的时间。例如，提供不同层次性能水平的市场细分产品，或者适应不同地区的需求。通过分配交替设置属性的器件，走线或设计的其它元素，获得单个基础设计的变体。一个工程更改指令（ECO）应用与基础设计自动传送到所有的变体。

Bill of Materials Generation

Allegro Design Authoring为您整合控制物料清单（BOM）的创建，确保器件列表，来满足您精确的需求和控制生产所需的一切。您可以为基础设计或它的任何变体生成一个BOM，列出调出文件中的非电子器件，Allegro Design Authoring将它们合并并在BOM原理图中的电气器件一起。

你可以把原理图中的电子和非电子器件结合起来，例如，IC的散热器和关联显示在BOM中。可以输出ASCII文字，电子表格或者HTML格式的BOM来发送给制造商和其它接收人。

PCB Editor Integration

Allegro Design Authoring和Allegro PCB Editor的紧密集成，使其原理图编辑器的选择为所有设计师寻求生产力的提高。完整的前后端设计流程，在Allegro PCB Editor环境中PCB设计文件中器件管脚、被选中设计区域、器件交换可以自动反标回Allegro Design Authoring中对应的原理图文件。对应的Allegro PCB 编辑环境和Allegro Design Authoring原理图设计环境，也可以实现对设计文件的完美交互。

您可以在Allegro Design Authoring原理图中选择器件，然后在Allegro PCB Editor中布局，也可以在Allegro PCB Editor中一步放置Allegro Design Authoring原理图页上的所有器件。使用设计差异，您可以在传输设计信息之前比较原理图和板图。与设计结合，您可以从板图到原理图反标终端和旁路电容。这允许逻辑设计和信号完整性设计并行进行，Physical Viewer功能（Allegro PCB文件查看器）已经包含在Allegro Design Authoring授权文件中里，可以查看Allegro PCB Editor的设计文件，这是有利于查看ECO和其它文档相关的问题。

Part Development

Allegro Design Authoring解决方案包括元件创建功能，能够创建和验证器件和元件数据。元件创建功能提供了一个强大的混合的功能，包括快速进入和操作数

据的能力，分割多引脚器件和定义电源地引脚的能力。

Allegro PSpice集成

Allegro Design Authoring与流动模拟仿真的Allegro PSpice Simulator紧紧地结合在一起。您可以从Allegro Design Authoring环境中配置原理图符号关联Spice 仿真模型并在Allegro Design Authoring中启动仿真进程。原理图和仿真环境之间交互也可以快速定位和描述设计中的错误，这为Allegro Design Authoring用户在Windows平台上提供了一个可靠的、低成本的模拟仿真和验证解决方案。在更高级的产品配置中，Analog Workbench提供了一个具有功能超级强大仿真设计环境，这个环境只有在UNIX平台上与Allegro Design Authoring结合。

High-Speed Design

与Allegro约束管理器集成，使得设计意图创建又快又简单，提高物理和电气约束的沟通的可靠性。原理图创建和约束的集成，使得捕捉和交流设计意图到后端更加有效，减少了不必要的风险，还能缩短PCB设计流程的时间。

类似电子表格的系统允许捕捉所有设计数据的电气约束，减少分别交流约束和设计数据的需要。高级功能包括从设计增加的模块中自动提取、使用和覆盖约束的能力。

约束管理器显示不同类型电气约束是通过分开的工作表呈现的。它允许捕捉、管理和验证层次设计的不同规则。约束管理器可以把一些信号的所有高速约束聚集到电气约束集（ECSet）中。

这个约束集ECSet与组里的所有网络有关系。约束管理器与Allegro Design Authoring和物理设计工具结合成一体，可以在逻辑设计阶段简单的捕捉和管理约束规则。设计阶段的任何节点，都可以启动约束管理器增加、查看和管理高速约束规则中的信息。随着设计中规则的嵌入，软件会自动传达和遵守工程师的性能要求，PCB Layout工程师可以集中优化尺寸、布通率和可制造性等物理版图设计上。

RF Circuit Design

现在许多数字化的PCB系统包含一些射频电路，这些模块有特殊的设计需求，可以用Agilent ADS（原来的Agilent EEssoft）来设计和仿真。然而，这个模块需要与其它数字模拟电路存在于同一个板子上。为此，Allegro Design Authoring和Allegro PCB Editor提供一个流程来导入在Agilent ADS中设计的射频模块。

Allegro PCB Editor和Allegro Design Authoring可以通过一个强大的功能的用户界面自动导入ADS的物理版图文件和原理图。一旦导入，ADS设计看起来就像一个模块，它的器件可以映射到Allegro PCB Editor器件库中。导入的模块可以锁定（防止编辑）或者解锁（允许编辑）。即使锁定，这个模块仍然允许与其它设计连接，分配规则到这个模块。

Multi-Style Design Creation

Allegro Design Authoring Muti-Style选项有助于使用多种设计风格更快地创建符合设计类型的复杂PCB设计意图。创建同一设计（使用不同范例，个别的或者小组的一部分）的不同元件的能力，允许更快捕捉设计。Muti-style选项的关键是一个类似电子表格的界面来创建设计意图，

适用于多引脚数量的设备和背板设计，还允许复用现有的原理图中的设计子集，供电部分和模拟射频部分可以复用或轻松地集成到设计中。

Muti-style选项允许多个设计师同时工作在一个项目中，当逻辑和物理设计要进行编辑，智能设计的差异引擎允许团队同时进行对比和调整的变化。Muti-style选项可以用于整个设计周期，借用现有的原理图器件或者没有任何原理图器件。这个能力涵盖了原理图模块和会用原理图库保护当前库的投入。Muti-style选项还获取扩展网络（Xnets），buses，和差分对，在处理终端，上下拉和去耦电容方面提供了高级性能，包括一个在线的DRC引擎，强大的报告和原理图生成功能，为PCB和封装有一个完整的设计解决方案。

Concurrent Team Design

团队设计程序使多个设计工程师异步协作在逻辑设计定义的层次开发。一个设计可以按照用户定义被分割，并分配给已指定的工程师团队成员，为开发和验证分割区域提供独立的“sandbox”。

Allegro Design Authoring中的团队设计选项提供团队分配和通知功能来分配工程师指定的模块。它提供了一个钉板图来显示当前每个成员模块设计任务的状态。这个解决方案为时间控制严格的项目提供了很必要的灵活性来促进设计创建的过程。

SKILL Programming

团队设计程序使多个设计工程师异步协作在逻辑设计定义的层次开发。一个设计可以按照用户定义被分割，并分配给已指定的工程师团队成员，为开发和验证分割区域提供独立的“sandbox”。

Allegro Design Authoring中的团队设计选项提供团队分配和通知功能来分配工程师指定的模块。它提供了一个钉板图来显示当前每个成员模块设计任务的状态。这个解决方案为时间控制严格的项目提供了很必要的灵活性来促进设计创建的过程。

PDF Publishing

Design Publisher选项将Allegro Design Authoring原理图转换到内容丰富的

PDF格式文件，创建一个安全的，单一表现的设计文件。这个PDF文件提供导航层次结构和设计属性和约束来获得理想的设计评审。知识产权通过访问IP来保护，因此设计数据通常可以通过Publisher选项功能来发布。

Additional Utilities

Allegro Design Authoring提供额外的工具来缩短设计者的时间：

- Part Manager追踪器件使用来确保器件已经同步到设计数据。
- 自动目录（TOC）的创建和管理加速原理图文件的生成。
- 电源引脚信号分配使得手动重新分配连通地电源和地到多引脚数量设备自动化。
- 用户自定义鼠标stroke允许直接在版图上执行单个或多个命令，而不需要调用工具栏、菜单、或者控制台。
- 简化设计条目任务的调整将复杂地频繁使用命令映射到一个单独的键。

特征	Allegro Design Authoring
平坦式的，层次原理图的创建	●
原理图设计页导航，管理，层次视图	●
项目管理器	●
交互式参考报表功能支持	●
设计文件打包归档	●
设计差异比较	●
属性电子表格，差分对电子表格	●
支持Net Class	●
用户自定义	●
器件管理	●
BOM生成器	●
物理设计复用，层次模块复用	●
导入模块和原理图设计页	●
复制项目或者在两个设计间复制粘贴设计	●
高级规则检查器	●
Verilog和VHDL Netlisting	●

特征	Allegro Design Authoring
PSpice集成	●
Xilinx、Actel、Altera的Build Physical Wizard	●
自定义菜单、使用skill定制命令	●
Cross-Probing with PCB Editor	●
电气约束集	High-speed Option
物理、间距约束	High-speed Option
相同网络间距	High-speed Option
高速模块分配	High-speed Option
SipXp Topology Editor	High-speed Option
Allegro Viewer Plus	High-speed Option
Component Revision Manager	High-speed Option
Manage shared area	Team Design Option
Assign、Notify Teams	Team Design Option
Dashboard View of Blocks in the Project	Team Design Option
合并/分割模块	Team Design Option
Locking	Team Design Option
Out-Of-Date检查	