



Capture 16.6 新增功能和更新的内容

2013.01

Copyright ©2006-2013 Deehow Electronics Technology Co., Ltd.
All rights Reserved.

目 录

I. Capture 16.6 中新增的功能	3
1. 在 Capture 下运行 SigXplorer 进行信号完整性分析.....	3
2. 从菜单中放置 PSpice 元件.....	4
3. 配置菜单和工具栏.....	5
4. 设计和库文件保存功能的扩展.....	5
5. 查找功能的扩展.....	5
6. NetGroup 使用模型的升级.....	6
7. 查询并替换 Off-Page Connector（端口连接符）	9
8. Cache 更新扩展.....	9
9. 为元器件设置 User Assigned Flag.....	10
10. 实现同一个设计中不同层次电路图的自动顺序编号	11
11. 数据库压缩与处理能力的增强.....	12
12. 打开由低版本软件生成的设计文件.....	12
13. 关闭所有标签页.....	12
14. DRC 功能扩展	13
15. Project SaveAs 功能的扩展	14
16. 学习资料.....	14
II. Capture 16.6 中已经解决的重要问题	16
1、CCR 1065649: 兼容 16.5 和 16.3 版本问题.....	16
2、CCR 730224:对库文件进行了更新但没有更新信息.....	16
3、CCR 724738:Update/Replace Cache 对用户定义的引脚形状无效	16
III. Capyure 16.6 中已修复的 CCR 问题	18

本手册介绍 16.6 版本 OrCAD Capture 软件中新增的功能和更新的内容。

I. Capture 16.6 中新增的功能

Capture 16.6 中新增了下述功能。

1. 在 Capture 下运行 SigXplorer 进行信号完整性分析

用户可以在 OrCAD Capture 中运行 SigXplorer（见图 I -1），对非层次电路设计中的网络节点进行 SI（Signal Integrity: 信号完整性）分析，而且可以将 Signal Explorer 生成的 Electrical Cset（Electrical Constraint set: 电学约束规则）返回到 Capture 中，附加给非层次电路设计中的相应网络节点，并将整个拓扑文件加入到 DSN 设计文件中。此外，通过将描述网络节点的拓扑文件输出到 SigXplorer 中进行更新，再导入回 OrCAD Capture，使得 OrCAD Capture 也能支持对 SI 分析的分布式设计环境。

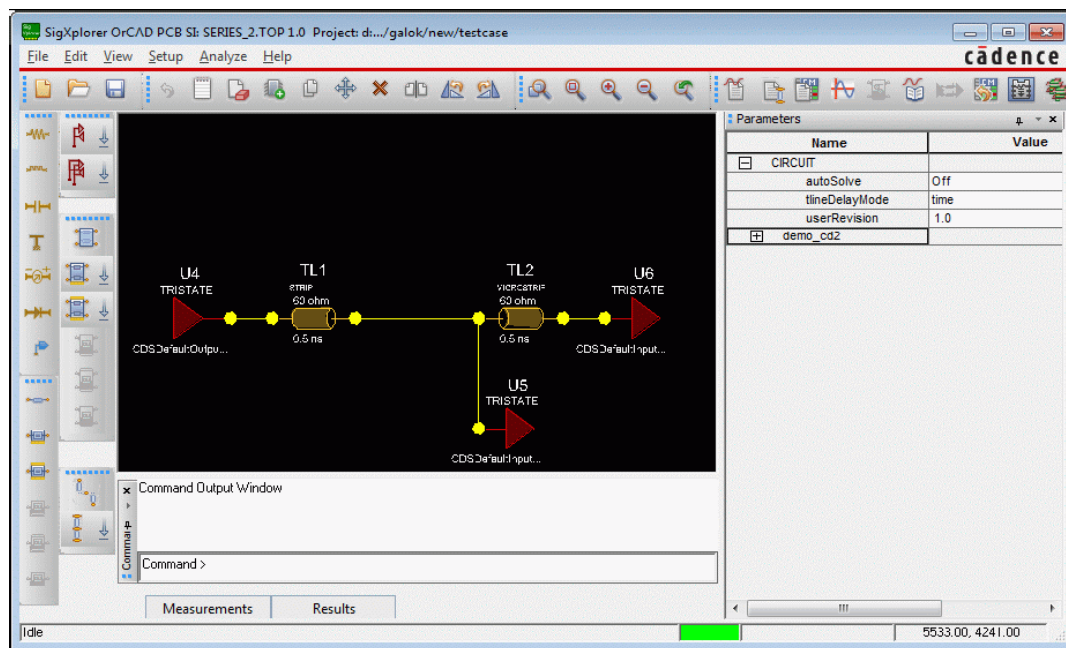


图 I -1 SigXplorer 窗口

用户可以采用 OrCAD Capture 建立 SI 库、指定 SI 模型以及在 SigXplorer 中对信号进行分析。可以在 Capture 中导入和导出 Electrical Cset。此外，用户可以检查 Electrical Cset 和进行模型分配。

用户还可以将拓扑文件导入到 Allegro Constraint Manager 进行检查。

注意：在 OrCAD Capture 中新增有 SI Analysis 菜单，用于进行信号完整性分析。

2. 从菜单中放置 PSpice 元件

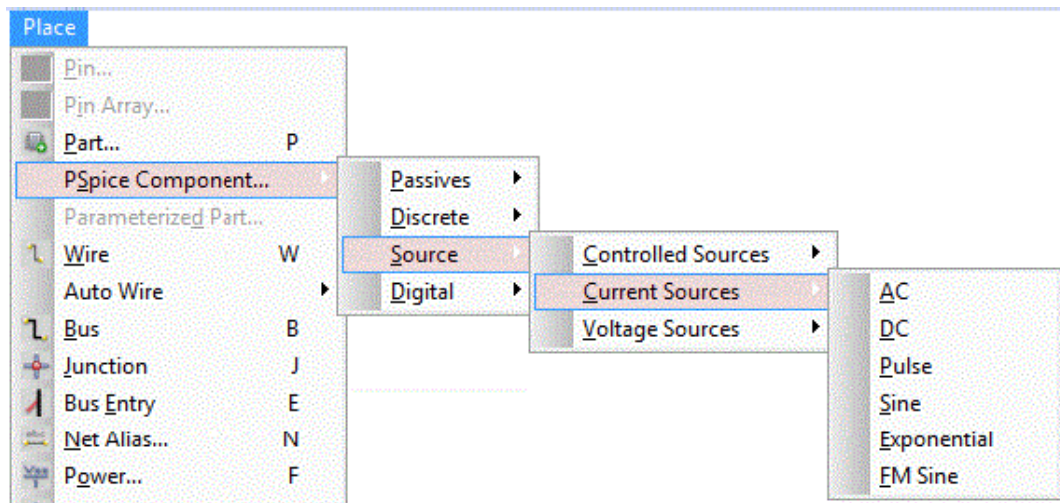


图 I -2 Place/PSpice Component 命令的子菜单

如图 I -2 所示，在 16.6 版本中，用户可以执行 Place/PSpice Component 命令直接放置 PSpice 元件。该命令下层次子命令菜单中包括的元器件类型为：

注意：通过上述菜单添加的器件都有理想的 SPICE 模型。

- Passive（无源元件）：包括电阻（R）、电容（C）、电感（L）、电位器（Potentiometer）、耦合器（Coupling）、理想传输线（Tline Ideal）、有损传输线（Tline Lossy）
- Discrete（分立器件）：包括二极管（Diode）、NPN 晶体管（NPN）、PNP 晶体管（PNP）、NPN 达林顿管（NPN Darlington）、PNP 达林顿管（PNP Darlington）
- Source（信号源）：包括
 - 受控源：VCCS、VCCS、CCVS、CCCS
 - 电流源：AC（交流信号）、DC（直流信号）、Pulse（脉冲信号）、Sine（调幅正弦信号）、Exponential（指数信号）、FM Sine（调频正弦信号）
 - 电压源：AC、DC、Pulse、Sine、Exponential、FM Sine
- Digital（数字电路单元）：包括
 - 逻辑门：AND、OR、NAND、NOR、XOR、INV
 - 触发器：D、JK、RS、T
 - ADC：8Bit, 10Bit, 12Bit
 - DAC：8Bit, 10Bit, 12Bit
 - 存储器：
 - RAM: 8Kx1, 8Kx8
 - ROM: 32Kx1

3. 配置菜单和工具栏

在新版本中，对 OrCAD Capture、PSpice、PSpice AA 和 Model Editor（模型编辑器）中的菜单和工具栏用户都可以进行自定义设置，因此用户就可以从菜单栏中运行各种 TCL（Tool Command Language: 工具命令语言）。对于 Capture 中的所有菜单，用户可以自定义菜单标签和提示信息，但是不包括执行菜单命令（例如 PSpice 和 PICFlow 命令）后调用的工具模块中的菜单。用户还可以为菜单和工具栏条目自定义图标和提示信息。关于菜单和工具栏（包括图标）的资源文件位于：

<Cadence 安装目录>\share\orResources

在下述情况下，用户可以通过 XML 文件添加菜单：

- 指定菜单标签
- 指定点击菜单所调用的 TCL 模式名称
- 指定该菜单在已有菜单条目中的位置
- 采用 TCL 模式激活与非激活（灰色显示）菜单条目
- 指定选项图标

此外，用户还可以通过 TCL 代码添加动态的菜单条目。

注意：对快捷菜单不能自定义。

4. 设计和库文件保存功能的扩展

在工程管理窗口中，经过修改但是尚未保存的页面将附有星号（*）标记（见图 I -3），起提示作用。保存后星号（*）消失

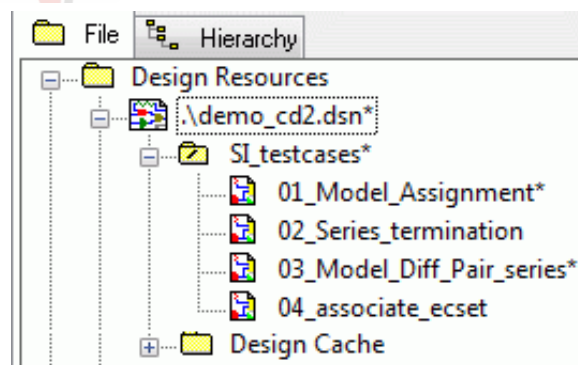


图 I -3 工程管理窗口

5. 查找功能的扩展

16.6 版本中新增了两项先进的搜寻功能：

(1) 16.6 版本支持用户输入 Regular Expressions（规则表达式）作为查找条件

如果要将作为搜寻对象的字符串作为一个规则表达式对待，需要在 Find（查找）下拉菜单中选择 Regular Expressions 选项（见图 I -4），并给出一个表达式作为搜寻字符串。16.6 版本中执行 Find 功能时可以采用各种 TCL 规则表达式作为查找条件搜寻字符串。例如，查找所有编号中带有 R 或 C，编号从 2 到 9 的元器件，在 Find 工具栏的下拉列表中选择“Regular Expressions”和“Property Name=Value”，输入：Part Reference=(C|R)[2-9]例如，如果要查找所有编号是以 R 或 C 开头且后跟 2 到 9 中任一数字的元器件，只需要将搜寻字符串写为表达式 Part Reference=(C|R)[2-9]，并且同时选中 Property Name = Value 和 Regular Expressions 两个选项。

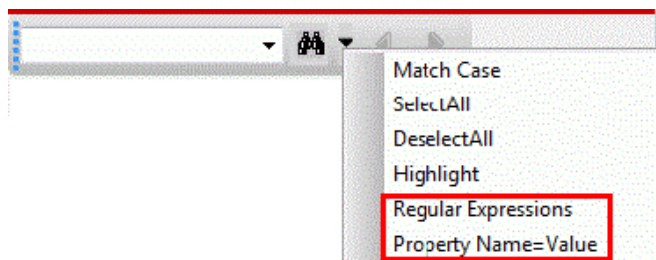


图 I -4 查找功能下拉菜单

注意：与 TCL 中常规的规则表达式搜索不同，选择 Find 功能下的 Regular Expressions 选项后，Find 需要字符串完全匹配，包括由字母-数字组成的字符、下划线（_）以及空格。对于搜寻字符串中的其他字符和字符之间的搭配，实施搜寻时的处理方式与常规的 TCL 规则表达式相同。

注意：若选择了 Regular Expressions 选项，如果采用 Property Name = Value 搜索，规则表达式搜索仅适用于属性值字符串情况。

(2) 支持采用 Property Name Value（属性参数名的赋值）作为查找条件进行查询

用户可以采用目标属性参数的一对“属性名称=属性值”为搜寻字符串，查找 Capture 中各种类型元素。如果要采用这种方式进行查找，需要在 Find 下拉菜单中选择 Property Name = Value 选项（见图 I -4），并给出“名称=值对”作为搜寻条件。例如，若要求查找 PCB 封装名称中以 dip2 开头的元器件，则作为搜寻条件的字符串应该为 PCB Footprint = dip2*。

注意：只允许在描述属性值的字符串中采用通配符（“*”和“？”），描述属性名称的字符串必须是属性的完整名称。

6. NetGroup 使用模型的升级

在 16.6 版本中 NetGroup 使用模型与总线使用的模型一致，给用户提供了一个直观的使用环境。

(1) 为总线指定 NetGroup 名

执行 Place/Net Alias 命令后，在 Place Net Alias 对话框中 Alias 一栏设置一个 NetGroup 名称，勾选 NetGroup Aware Aliases（见图 I -5），用户就可以从下拉列表选择一个已有的 NetGroup 名，或者编辑修改列表中的 NetGroup 名，为 Alias 一栏设置的名称指定对应的 NetGroup 名，并且会根据指定的 NetGroup 更新 Alias 名称的宽度。然后再在电路图中点击一条总线，就将设置的 Alias 名称作为该总线的 NetGroup 名。

(2) 对 NetGroup 中未命名的引脚重新排序

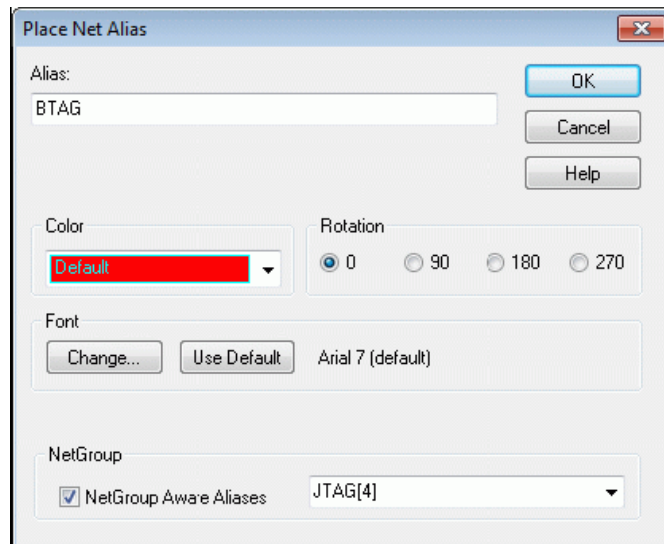


图 I -5 Place Net Alias 对话框

在电路图中选中一个未命名的 NetGroup 模块，右击打开快捷菜单，执行新增的 Reorder pins for UnNamed NetGroup 命令，出现如图 I -6 所示的对话框，就可以对该 NetGroup 中的引脚进行重新排序。

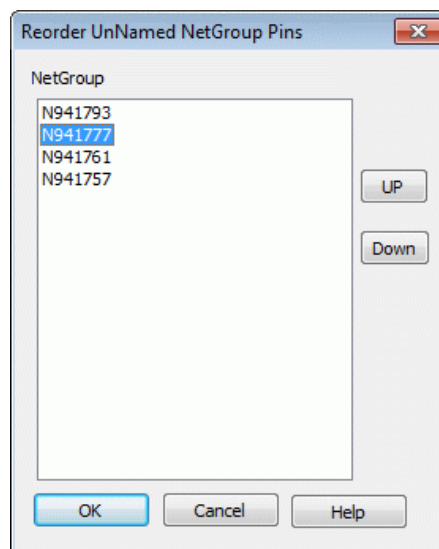


图 I -6 Reorder UnNamed NetGroup Pins 对话框

(3) 在 NetGroup 中增加或移除引脚

在电路图中选中一个已放置的 NetGroup 模块，右击打开快捷菜单，执行 Add/Remove Pins

on NetGroup Block 命令，出现如图 I -7 所示的对话框，就可以增加或移除 NetGroup 网络组中的引脚。

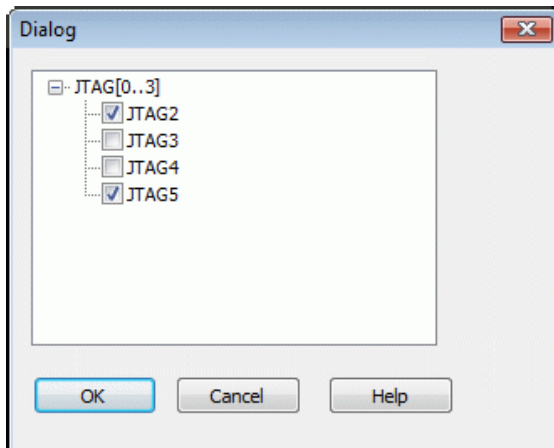


图 I -7 Add/Remove Pins on NetGroup Block 对话框

(4) 显示 NetGroup 编号

在版本 16.6 中，如果一个元件与一个 NetGroup 中的符号相关联（reference），则在该元件名的后面将附有一个大括号，括号内就是相关联 NetGroup 的名称及其宽度。因此用户很容易从电路图中确定其中的一个元件是否与一个 NetGroup 中的符号相关联。例如，若分层结构电路图中名称为 PORTBOTH-R 的端口符号与一个宽度为 4、名称为 JTAG[0..3] 的 NetGroup 相关联，在电路图中该端口名称将显示为 PORTBOTH-R{JTAG:4}（见图 I -8）。


PORTBOTH-R{JTAG:4} 

图 I -8 引用 NetGroup 的端口名称

(5) 查找 NetGroup 编号

在版本 16.6 中，查找一个 NetGroup 时，将按照图 I -9（a）所示的过滤项目设置，显示出所有与该 NetGroup 相关联的元件。例如，如果查找一个名称为 JTAG 的 NetGroup，而分层式电路中的一个端口与该 NetGroup 相关联，则查找结果显示的该端口信息将如图 I -9（b）所示。

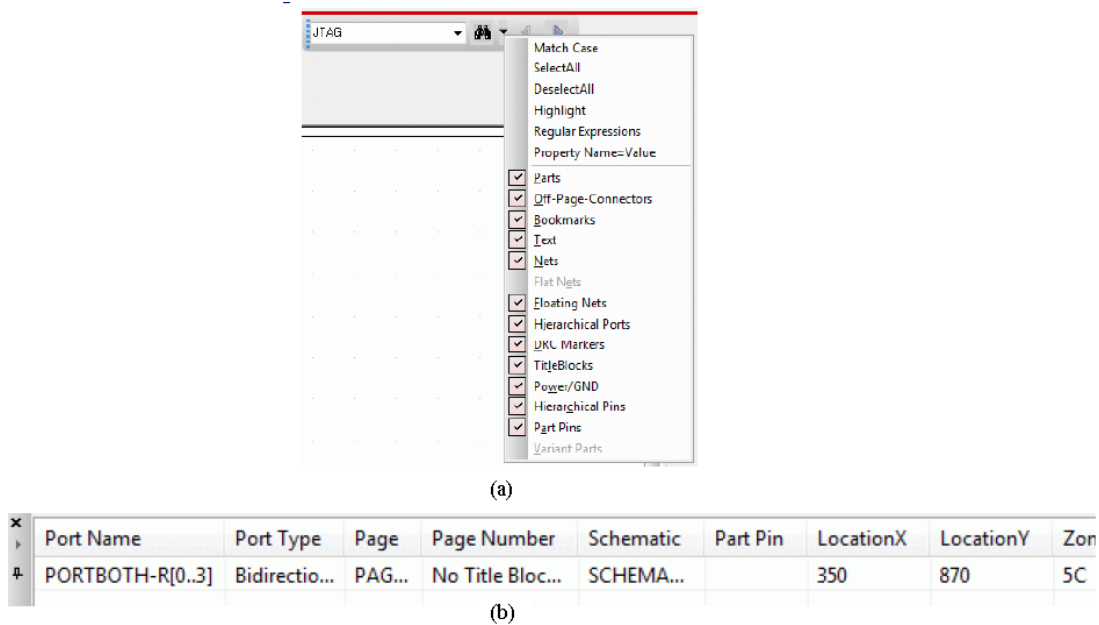


图 I -9 查找 NetGroup 编号

7. 查询并替换 Off-Page Connector（端口连接符）

版本 16.6 中的 Find And Replace 对话框新增了一个用于替换端口连接符（Off-Page）的选项——OffPage Connector（见图 I -10），选中该项就可以在整个设计中查找并替换指定的 Off-Page Connector。

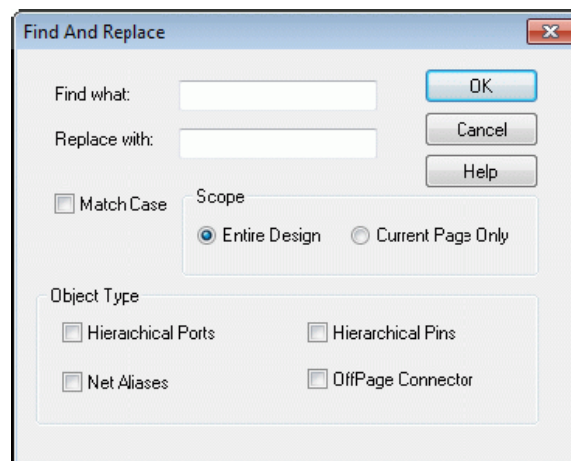


图 I -10 Find And Replace 对话框

8. Cache 更新扩展

在 Design Cache 中选中多个器件，再点击右键，从快捷菜单中选择“Replace Cache”命令，就可以同时对 Design Cache 中的多个元器件进行替换操作。

9. 为元器件设置 *User Assigned Flag*

版本 16.6 中新增了设计人员为元器件设置标志的功能,再配合勾选 **Annotate** 对话框中新增的 **Preserve designator** 和 **Preserve User Assigned Valid References** 选项 (见图 I -11), 就可以在以后执行 **Annotate** 命令对元器件编号进行自动更新的过程中, 保留电路中已由用户设置有标志的元器件的编号 (**Reference**) 以及对于同类元件 (**Homogenous Part**) 已由用户设置的该元器件在封装中的 A、B、C 或者 D 等序号 (**designator**) 不会发生变化。

设计人员选中电路中的元器件后执行快捷菜单中新增的 **User Assigned Reference/Set** 命令, 或者在属性参数编辑器中选择 **Reference** 参数名后执行快捷菜单中新增的 **User Assigned Reference/Set** 命令, 都可以为元器件设置保留元器件编号不变的标志。选中设置有标志的元器件, 执行快捷菜单中的 **User Assigned Reference/Unset** 命令, 就可以清除该元器件的保留编号不变的标志。

在下述情况下, **OrCAD Capture** 将自动为相应的元器件编号 (**Reference**) 设置有保持不变的标志:

- 在属性编辑器中修改的编号
- 在原理图中直接编辑修改的元件编号
- 在 **Allegro** 中修改后元器件编号后, 通过执行 **Back-annotate** 命令更新原理图中的元器件编号

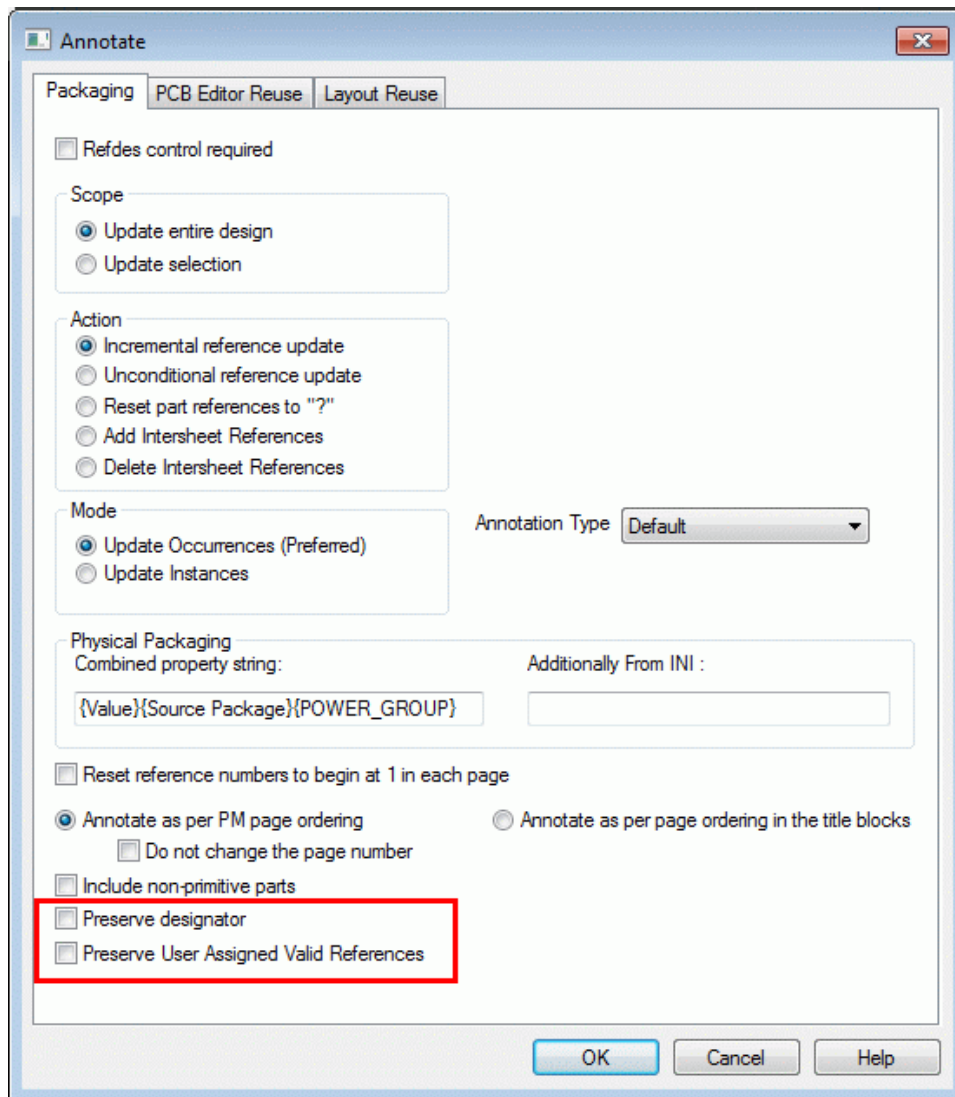


图 I -11 Annotate 对话框

10. 实现同一个设计中不同层次电路图的自动顺序编号

之前版本对于元器件的自动编号仅限于当前原理图所在的电路层次中，在 16.6 版本中，只要执行 Option/Preference 命令在 Preferences 对话框的 Miscellaneous 选项卡中勾选新增选项 “Design Level”（见图 I-12），就可以在同一个层次式电路设计文件所包含的不同电路图层次之间实现元器件的自动编号。

例如：之前版本对于层次式原理图来说，若根层次（Root）内的电阻已按序自动编号到 R68。但是在子图中放置电阻时，其编号仍然从 R1 开始。在 16.6 版本中只要勾选“Design Level”，就可以避免此问题的产生，在子图中放置电阻时其编号将从 R69 开始继续。

此外，若勾选 Preserve reference on copy 选项，则在复制设计时将保留原来的元器件编号。

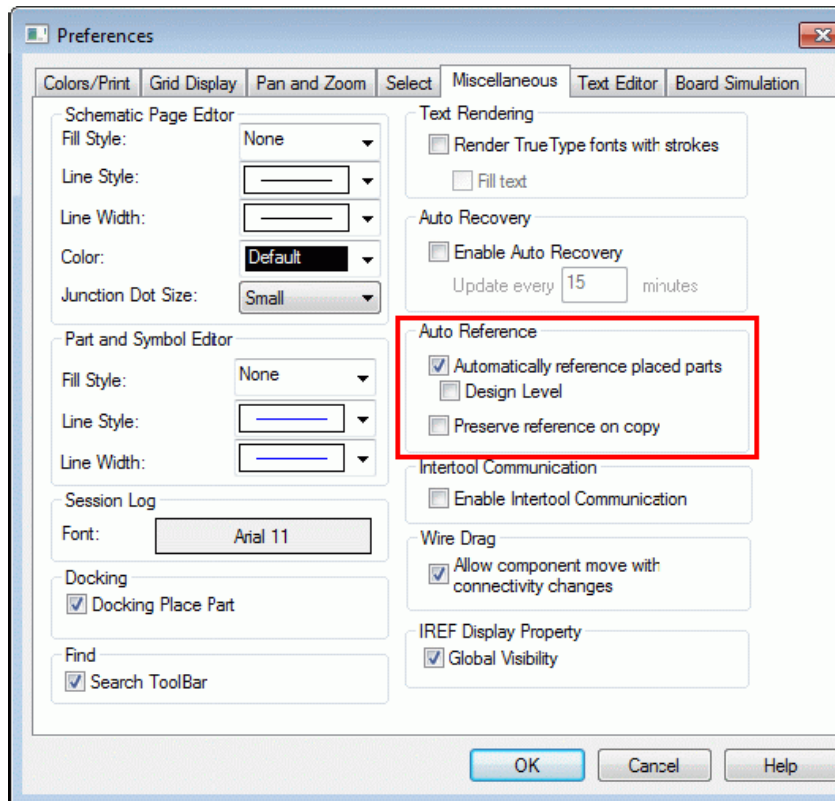


图 I -12 Preferences 对话框

11. 数据库压缩与处理能力的增强

OrCAD Capture 16.6 对.DSN 文件和.OLB 文件进行了升级:

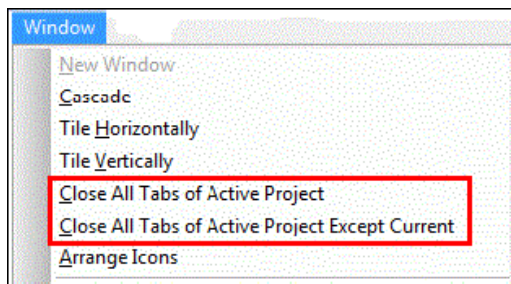
- 删除图像文件以减小文件的大小
- 通过增强数据库的处理能力防止文件受损

12. 打开由低版本软件生成的设计文件

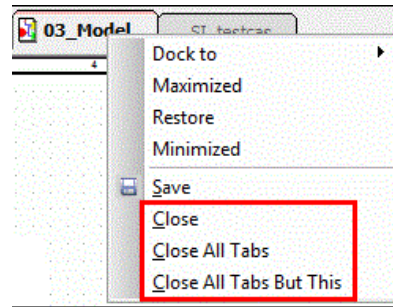
采用 16.6 版本可以直接打开由低版本生成的设计文件, 无需专门升级设计文件的版本, 只是在 16.6 版本中保存由低版本生成的设计文件时, 系统才会以提示的形式告知用户, 该文件将采用 16.6 版本格式保存, 由用户选择“确定”或者“取消”。

13. 关闭所有标签页

16.6 版本在关闭原理图页面时有所改进。用户可以单击如图 I -13 所示的菜单条目, 用户可以同时关闭多个打开的页面, 无需再一个一个地单独关闭。



(a) Window 菜单



(b) 标签页快捷菜单

图 I -13 关闭所有选项卡的命令

14.DRC 功能扩展

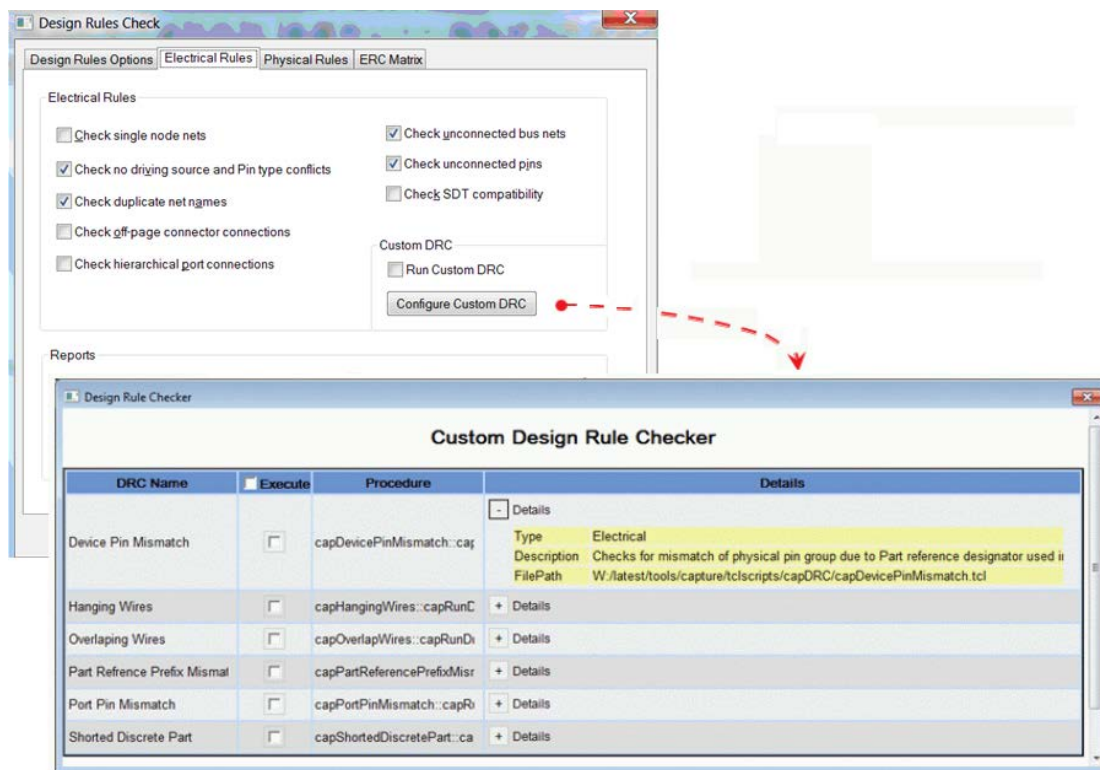


图 I -14 设置 DRC 的选择性忽略操作

16.6 版本支持对 DRC（Design Rule Check: 设计规则检查）的选择性忽略操作。实现方式是在电路图中选择 DRC，执行快捷菜单中的 Waive DRC 命令即可。

16.6 还支持用户通过 TCL 语言自定义 DRC 检查方式。操作方法是执行 Tools/Design Rules Check 命令，打开 Design Rules Check 对话框，在 Electrical Rules 标签页中点击 Configure Custom DRC，用户可以用 TCL 脚本添加自定义的 DRC 规则（见图 I -14）。

15. Project SaveAs 功能的扩展

16.6 版本对 Project Save As 功能进行了扩展，可以将工程目录内外与工程相关联的文件与工程文件一起保存在一个新的路径下，而且保持其相互间的链接。这些与工程相关联的文件包括引用的工程文件、设计文件、库文件、仿真剖面、输出文件等。

在 16.6 版本中保存工程时，可以采用与设计名不同的工程名。Project Save As 设置可以通过 Project SaveAs 对话框中的 Settings 选项卡（见图 I -15）进行自定义，该对话框中为用户提供了随工程一起复制设计文件并重命名的选项。用户可以有选择地指定将一部分引用的文件复制到与工程文件在同一个路径下或者是不同的路径。

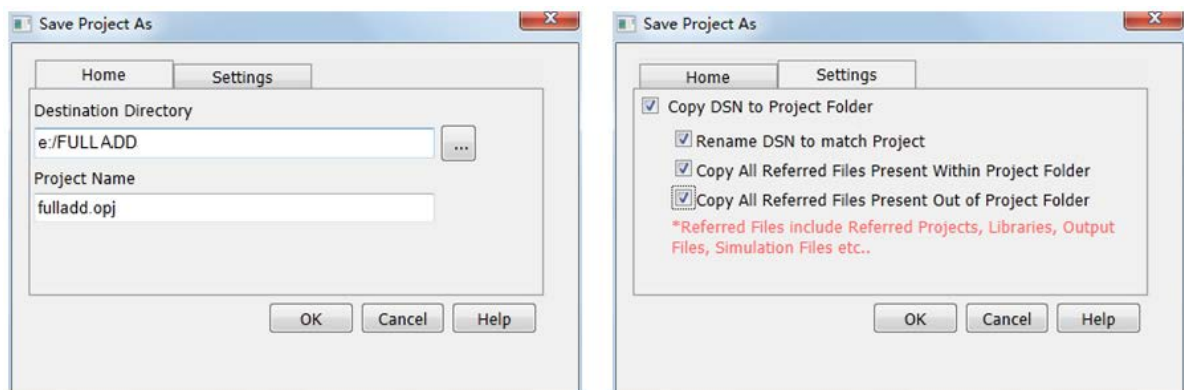



图 I -15 Project SaveAs 对话框

16. 学习资料

为了辅助用户使用 OrCAD Capture 和 PSpice 学习各种电气与电子工程的概念，16.6 版本 OrCAD Capture 在 Help 命令菜单中新增了 Learning PSpice 命令，执行该命令可以打开如图 I -16 所示的窗口，为用户提供了更多的关于电路知识的学习资源，包括了多个学习单元，范围涵盖从基本理论到电力电子领域的一些前沿课题，从浅入深地介绍了 DEA（Electronics Design Automation：电子设计自动化）的相关知识。

每一个学习单元都附带有原理图，点击右上角的  图标（见图 I -16），就可以打开与本讲内容相关的原理图设计（见图 I -17），通过实际仿真加深对电路知识的理解。

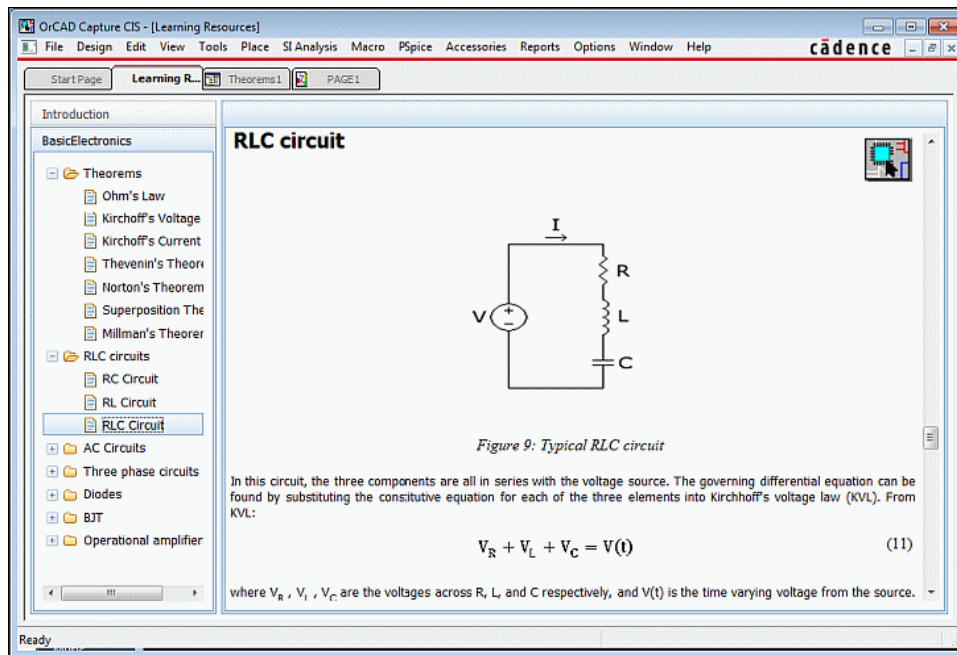


图 I -16 Learning Resources 界面

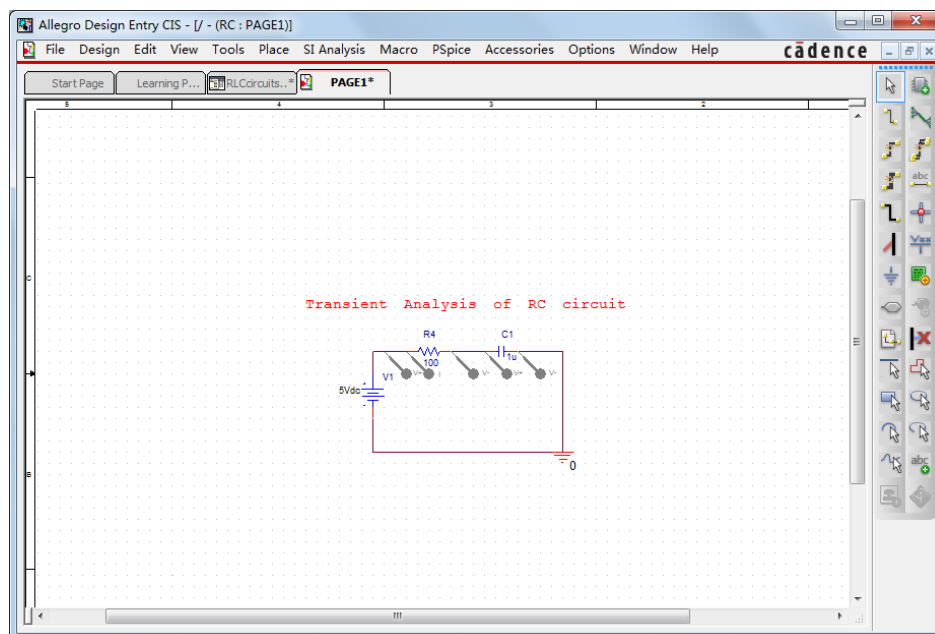


图 I -17 Capture 中打开的电路图

在 OrCAD Capture 中执行 Help/Learning Resources 命令后，在左侧窗口中会出现一个或者多个（取决于所安装的资源模块）不同主题的学习模块。用户可以安装附加学习模块扩充列表。

注意：使用 Learning Resources 时，需要确保系统已安装 Windows Internet Explorer 7 或者更高版本的浏览器。

II. Capture 16.6 中已经解决的重要问题

本节描述的是在发布 Capture 16.6 时已解决的重要 CCRs。关于 Capture 16.6 中修复的所有 CCRs 信息请参见下一节“III. Capture 16.6 中解决的 CCR 问题”。

1、CCR 1065649: 兼容 16.5 和 16.3 版本问题

(1) 问题描述

如果采用 16.5 或者 16.3 版本生成的设计文件中包含有下述特性，则采用 16.6 版本打开这些老版本设计文件时，会引起设计损坏以及软件崩溃：

- 通过 CIS 引用外部元器件
 - 节点别名中含有 NetGroup 名称
 - 设置有跳过 DRC（设计规则检查）的参数
- 包括有用户指定的元器件编号

(2) 解决措施

在打开这些老版本的设计之前，安装与相应 SPB 版本对应的 HotFix：

- 对 Cadence SPB 16.3 版本：安装 HotFix 055
- 对 Cadence SPB 16.5 版本：安装 HotFix 033

2、CCR 730224:对库文件进行了更新但没有更新信息

(1) 问题描述

情况 1：采用下述方法打开、处置 16.2 版本库文件中的元器件，16.2 版本的库文件得到了更新，但没有向用户反馈任何信息：

在 16.3 版本中用鼠标右键点击 16.2 版本库文件中的元器件，并执行 Split part 命令，保存元器件。

或者在 16.3 版本中用鼠标右键点击 16.2 版本的元器件库，执行 New part from spreadsheet 命令或者 New Symbol 命令。

情况 2：在 16.3 版本中打开一个 16.2 版本的库文件，执行 Save As 命令，再在出现的更新提示信息中，选择 Yes 并重命名保存。结果生成的是新建库文件的备份文件，而不是原来库文件的备份文件。

(2) 解决途径

更新库文件（<库文件名>.olb）时，Capture 会以原先的数据库格式保留原来库文件的副本。该文件以<库文件名>_2_0_0.obk 为文件名保存在原始位置同一个路径下，用户可以将其重命名为<库文件名>.olb，维持原来的库文件。

3、CCR 724738:Update/Replace Cache 对用户定义的引脚形状

无效

(1) 问题描述

在设计 Cache 中选择一个用户定义的引脚形状，并用其他形状的引脚进行替换。电路原理图编辑器会显示出相应的变换，原来的引脚形状被新形状所替代。但是，编辑元器件时，在 Capture 中显示的仍然为替换前原来的引脚形状。

如果用户关闭元器件编辑器，而且在未做任何改变的情况下更新了当前形状，引脚形状将还原为原来的形状。更新 Cache 也会出现同样的问题。如果改变形状再进行更新，元器件编辑器中并未显示变化。

清除 Cache 将会删除元器件编辑器中显示的引脚形状。但当用户从设计 Cache 中放置同一个元器件时，仍显示为已从 Cache 中删除的原来的形状。移动元器件或者重新打开设计，更改的引脚形状并没有保留，元器件的形状将恢复如前。

(2) 解决途径

如果对一个用户自定义的引脚形状执行 Replace Cache 命令，即用形状 B 替换形状 A，全部采用用户自定义的引脚形状 A 的例化都替换为形状 B，并且引脚的 Pin Shape 属性会更新为新的 Shape 值。

这一属性为例化覆盖。当希望恢复到库文件级引脚形状时，用户可以在属性编辑器中执行 Delete property 命令删除例化覆盖，这样恢复的结构将显示到电路图中。

但是，当用户执行 Edit part 命令是，显示的为元器件级用户自定义的形状，而不是电路图中显示的例化覆盖的形状，因为此时为设计的形状。

III. Capyure 16.6 中已修复的 CCR 问题

在 Capture 16.6 中已经解决的问题，包括提出的更改要求如下表所示。详细信息请联系客户服务。

CCR 编号	内容描述
12577	元器件的序号重设为“?”会重设元器件在封装中的序号（package Designation）
13642	将元器件复制到新的 DSN 后，替换 Cache 时出现问题
28078	对 Port 进行对称翻转后，随之发生的连接关系变化有误
35310	对于复制到层次化设计中不同层次页面的元器件不能进行自动编号
55359	绘制互连线时不连续，出现两个网格间距
74510	应该可以关闭特定的 DRC 标志符
111399	应具有不显示节点别名（alias）的选项
114709	在互连线始端有大约多达 1.5 倍网格间距的缺失
115833	放置异构元器件(Heterogeneous parts)的操作方式需要改进
124736	需要扩展 DRC 报告
153574	应该具有“显示/不显示”节点别名（alias）的选项
158361	执行 Capture Place 命令绘制的互连线看上去好像未相连
163978	应该在引脚层次提供“忽略 DRC”的列表或者选项
176359	应该可以对选中的节点/引脚处不进行 DRC
196584	绘制互连线花费时间太多
232731	为什么 Capture 不能正确放置异构元器件（Heterogeneous parts）？
258906	在 Capture 中应该可以不显示节点别名（alias）
270946	对元器件进行自动编号时应该能够锁定一些元器件的编号值
273524	在 Capture 中出现有相同的编号
294858	对某些设计进行操作后导致 Capture 进入“死循环”
337644	放置异构元器件(Heterogeneous parts)时不能对其进行编辑
338235	应该能够自动与引用的外层设计同步
361079	在 Select Directory 中无法看到名称较长的路径
373714	元器件编号“SATA0”会成为“SATA”
377353	在进行较大规模的设计时 Capture 存在性能不佳的问题
381801	应该提供锁定元器件在封装中的序号（Designator）的方式
385581	应该提供能够锁定每个层次电路图中元器件编号范围（Refdes）的选项
477438	在 Allegro 下输入设计时工作太慢
479199	在相同路径下替换 Cache 无效



480002	在层次化设计中应该能够对 Off-Page Connector 实现全局替换
509528	替换 Cache 后没有更新时间标识, 出现错误信息提示 DSM0020: Unable to Paste Object
542653	选择多个节点时 Capture 性能变差
545360	对总线不能执行 Global Replace 命令
570012	应该能够对 Off-Page Connector 与 Power/Gnd 实施 Global Replace
620319	对于引用的外层设计应该能够实现自动同步
621054	在网表中重命名的节点使得元件与其余节点断开连接
628823	需要扩展 Select Directory 窗口的水平尺寸放大功能
656562	Capture.ini 的路径应为用户本地位置
673323	对于库和对于设计的 Star in 选项卡功能不同
691018	应该提供能够锁定每个层次电路图中元器件编号范围 (Refdes) 的选项
692025	应该能够同时关闭所有层次电路图页面
702468	应该将搜索功能扩展到能通过特定属性值搜索元器件的功能
726621	应该具有关闭除 Project Manager 外的所有标签页的命令
740538	应该具有能关闭在 Capture 中已开启的全部电路图页面的选项
751388	应该具有关闭设计中除 Project Manager 外所有已打开的标签页的命令
756925	要求将 Capture 中的文件和目录浏览器更新为新的 Windows 风格
767749	在保存后线条图形的属性 (如颜色) 并未改变
790111	为什么 Capture 第二次打开 PSpice 设计时, 出现提示信息: could not find .dsn
790414	将 P-CAD 原理图转换为 Capture 时软件运行崩溃
791392	DRC 应该能够检查是否存在同一个分立元器件的两个引出端与同一个 POWER/GND 节点相连的情况
797862	应该能够在 16.3 版本软件中直接打开由 16.2 版本生成的设计 (仅用于查看) 而不要转换设计文件的格式
797898	需要增添在连接数据库元器件时能够保留电路图层次属性参数的选项
819020	为何出现提示信息 DSM0020: Unable to Paste ObjectError
821994	生成新的符号时移动引脚文字
834091	能够在库文件层次移动引脚名称和引脚数目
845314	对元器件进行编号时能够忽略某些元器件
846373	设计属性参数中的日期格式问题
849408	在选中元器件后改变了元器件在封装中的序号 (Designator), 但是电路中异构元器件的 Designator 并未随之变化



850844	对元器件进行自动编号时应该能够将该页电路图中已有编号的那些元器件排除在外
852836	有些情况下 Ascend hierarchy 选项呈现灰显
854472	Select Directory 窗口非常窄，选中名称较长的目录比较困难。
858454	在 Part Editor 开启的情况下如果关闭工程则元件被锁定
866784	能够在库文件层次移动引脚名称
872379	希望能够同时关闭所有层次的电路图窗口或者标签页
873521	打开工程时出现警示信息：Could not find *.dsn
873550	能够在Design Cache中通过库文件名对元器件进行分类
879218	使用 CTRL 键复制引脚时会反馈“引脚重叠错误”的信息
882575	添加禁止电源/接地节点 cross-probing 的选项
884192	DRC 应包括检查是否存在 H-引脚与 H-端口失配的问题
887202	描述不同电路图之间连接关系的 H-端口编号应像 offpage connectors 那样
889816	对电源节点从 Allegro 到 Capture 进行 cross-probing 引起 Capture“死循环”
889826	即使应用_P与_N节点语法，也无法自动生成差分对元器件
890720	能够在在一个 DSN 文件中立即添加整个 OrCAD 库文件
894726	归档文件的命名应该按照 ISO 8601 标准
895496	Capture应该能够记忆工程窗口的泊位位置
907977	Cadence Product Choices 对话框太窄，不能完整地显示各项产品的名称
908810	网络资源链接未能正确地链接到相关网页
908893	TCL：在 Capture 中也能像在 PCB Editor 中那样跳过一些 DRC 检验
921919	H 块的编号名只能来自引用的单元
925830	添加用于锁定 Refdes（元器件编号范围）的选项
930217	如果总线已划归到NETGROUP中，则不能为其中的数据位指定节点别名（alias）
935147	执行 Tools/Create Netlist...命令生成网表时，在出现的对话框中点击 Setup 按钮会出现“ORCAD Suppress Warning”警示信息
938730	对放置的元器件进行自动编号时，Capture 并不查找较低层次中相似的 Refdes（元器件编号范围）
942514	将一个工程关闭后再重新打开，未能记忆上一次工程管理器窗口在屏幕上的泊位位置
944045	希望能够同时替换 Cache 中的多个元器件
964950	采用 Split part 命令修改的引脚名未能对元器件进行更新
969564	Capture 中也应该能够像 PCB Editor 那样能够跳过指定的 DRC 检验



975684	在较高版本中查看较低版本进行的设计时不需要改变设计文件中的数据格式
977238	浏览电子表格形式的数据表时，直到其他列的宽度都减小后最后一列的宽度才会变化
979770	出现变化时应即时更新 Netgroup 框
982720	对元器件进行编号时应该具有保留同构器件在封装中序号的选项
985385	应该增加引脚 Data-tip 的信息量
988097	在 Global Replace 对话框中应该添加 Off page connector（端口连接符）
989103	在 Capture 中如何用 TCL 脚本生成新的菜单
992941	在 Capture 已开启的情况下，如果用户尝试再打开一个 Capture 界面时，出现错误信息提示：ERROR(ORCAP-19005)
998469	在 allegro.cfg 中将 NET_SHORT=YES 添加为默认设置
1000506	替换 Design Cache 中的元器件后选择同一个库并未更新其中的元器件值
1001684	Refdes 为小写字母时，Backannotation 无效
1005805	工程管理器窗口在屏幕上的位置与设置的不一致
1010988	在 Capture 中增加 ISO 8601 规定的日期时间格式
1012008	从 Irefs 中移除 “!”和“^” 符号的选项
1012459	错误信息“ERROR(ORCAP-19005)”含义不清
1019868	节点有两个甚至多个名称时，出现警告：Warning(ORCAP-1589)
1023433	用鼠标进行更精细的缩放
1024471	对于双引脚器件的两个引脚连接到同一个节点的情况 DRC 未给出反馈报告
1029589	在 Fisheye view 模式下绘制对角线互连线会引起软件崩溃
1033179	在 Capture 中执行 Finding Power\GNDs 命令会使其他电源和接地符号高亮
1033822	应该添加下述功能：在分层设计的底层设计中仅对新加元器件进行自动编号
1041492	放置在元器件右边界的多条引脚的名称必须起始同一个 X 坐标