



**cādence<sup>®</sup>**

## PSpice 16.6 新增功能和更新的内容

**2013.01**

Copyright ©2006-2013 Deehow Electronics Technology Co., Ltd.  
All rights Reserved.



## 目 录

I. PSpice 和 AMS 16.6 中新增的功能.....	3
1. 高级选项.....	3
2. Probe 中.DAT 文件版本升级——64 位数据精度.....	4
3. Capture 生成网表后支持取消操作.....	6
4. 新增对 IBIS 的支持.....	6
5. 支持多核引擎.....	9
6. 配置菜单和工具栏.....	10
7. 加密升级.....	10
8. 新模型.....	10
II. PSpice 16.6 中已经解决的重要问题.....	11
1、CCR 19462: 蒙特卡诺分析中 DEV 容差参数不能采用相对容差表示.....	11
2、CCR 22481: 如果元器件名中带有空格, 在模拟时将显示出错信息“Error in Open Alias”.....	11
3、CCR 32270: 模型从另一个与之同名但同时带有_<整数>后缀的模型中读取信息时出错.....	12
4、CCR 152246: 如果仿真剖面名中包含有特殊字符则显示曲线有误.....	12
III. 在 Capture 下运行 PSpice 时已解决的重要问题.....	13
1、CCR 332772: OrCAD Capture 中采用层次化设计模式时应用波形显示符 (Marker) 存在问题.....	13
IV 在 Design Entry HDL 下运行 AMS 时已解决的重要问题.....	13
1、CCR 892748: 应用 Verilog_Decs 时子参数未传递导致无法仿真.....	14
2、CCR 243620: 先前版本中的偏置显示设置在 15.5.1 版本中无法应用.....	14
3、CCR 270644: 元器件的 PSpice 名不以 Probe 形式显示.....	14
4、CCR 273518: 模型关联应该支持高级分析模型.....	14
5、CCR 107997: 电路图中偏置点显示情况与工具栏状态不一致.....	15
6、CCR 94690: 层次化设计中的偏置点显示问题.....	15
7、CCR 13789: PSpice 库中元器件输入和输出负载电流值之间的默认值和符号不匹配.....	15
8、CCR 8522: 所有的 K 型元件和 ABM 元器件没有 REFDES 属性.....	16
9、CCR 8624: 在参数值中使用@<variable>导致无法生成 PSpice 网表.....	16
10、CCR 13996: SUBPARAM 元件不支持向子电路传递参数.....	17
11、CCR 8524: Concept HDL 中放置在结点或元器件上的 Probe 探针不随结点或器件一起删除.....	17
12、CCR 13480: 无法改变仿真剖面的名称.....	17
13、CCR 14022: Concept HDL 无法显示放置有 Probe 探针的总线上的波形曲线.....	17
14、CCR 19131: Concept HDL 中不能生成 TLINE 库中 Coax 模型的网表.....	18
15、CCR 23415: 在 Concept HDL 中无法查看 PSpice 网表.....	18
16、CCR 32518: 进行 Smoke 分析时, 如果用户需要编辑具有多个 Implementation 属性参数的元器件的 Smoke 信息, 需要将<设计名>.prp 文件中的 device 名称改为与电路中元器件名称一致.....	19
V. 废弃的商用库文件.....	20
VI. 已修复的 CCR.....	20

本手册介绍16.6版本PSpice和AMS模拟软件中新增的功能和更新的内容。

由于不同用户的权限互不相同,用户安装的可能是PSpice,也可能是AMS模拟仿真软件。

本手册也介绍了仅适用于ASM仿真器的新功能。

## I. PSpice 和 AMS 16.6 中新增的功能

PSpice和AMS 16.6 中新增了下述功能。

### 1. 高级选项

版本 16.6 中的高级分析选项设置对话框如图 1 所示。

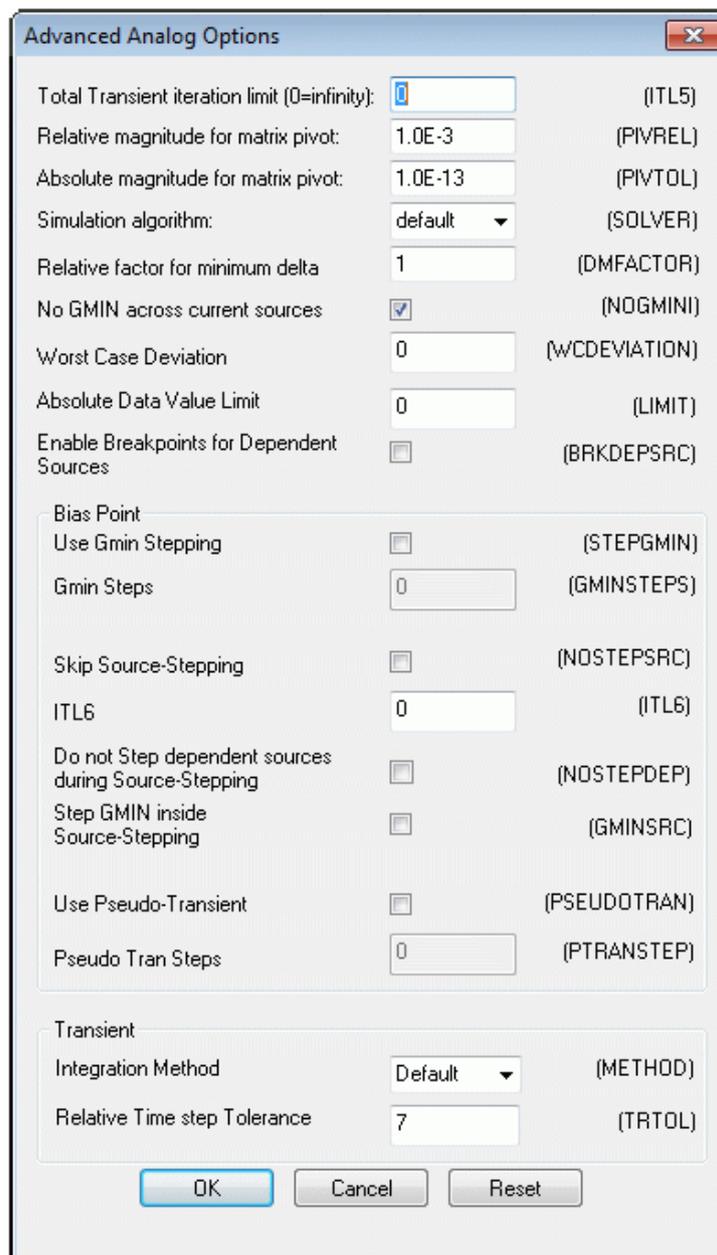


图 1 Advanced Analog Options 选项卡



由图 1 可见，高级分析 Options 对话框中在下述几方面新增了选项设置：

- Bias-Point Convergence（偏置点收敛性）
- Integration Method（积分方法）
- Voltage Limiting（电压值的限制）
- Worst-case Deviations（最坏情况偏差）
- Max-Time Step Control（最大时间步长控制）
- Pseudo Transient（伪瞬态）
- Relative Tolerance（相对容差）

## 2. Probe 中.DAT 文件版本升级——64 位数据精度

在 16.6 版本中，PSpice 提供了默认为 64 位的数据精度（见图 2）。

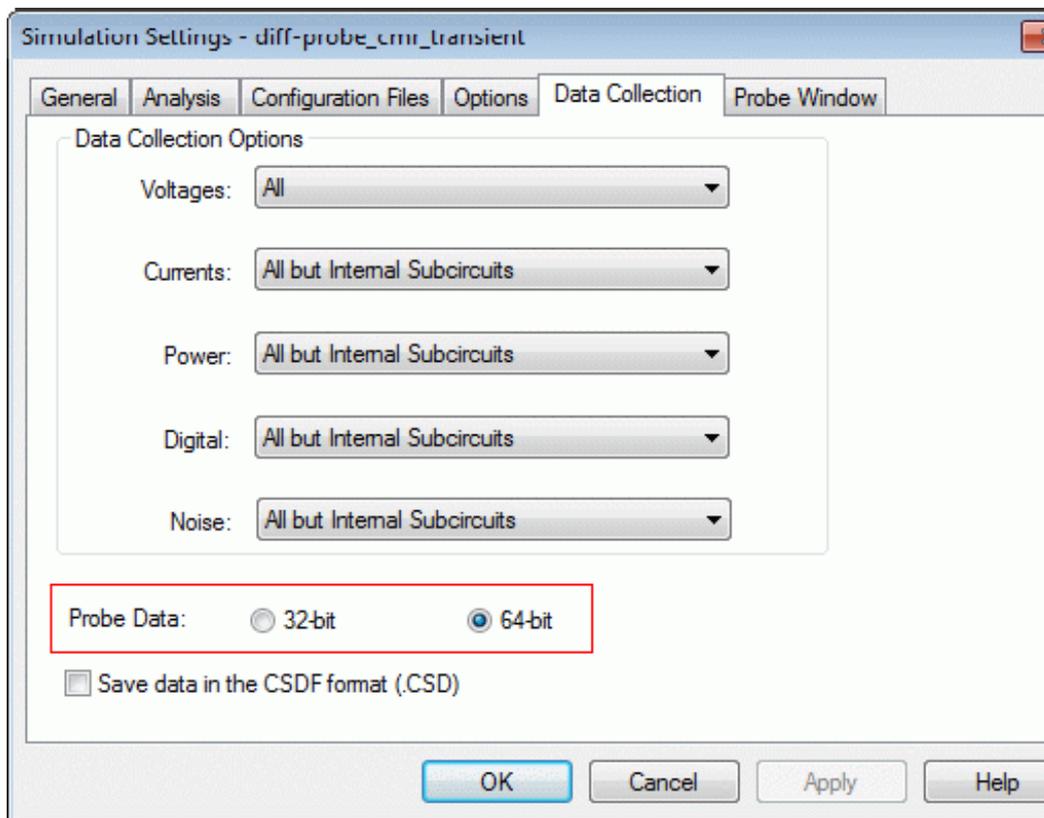


图 2 Simulation Settings 选项卡

与 32 位的数据相比，这一升级使得数据精度得到提高，明显改善了波形显示效果。例如，当一个幅度很小的电压叠加到一个较大的电压上之后，产生的电压分辨率就会受到影响，导致显示的波形呈现阶梯形状。在如图 3 所示的电路中，利用 32 位数据精度仿真后显示的为阶梯波形（见图 4），而用 64 位数据精度仿真可以得到如图 5 所示的完美的斜坡波形。

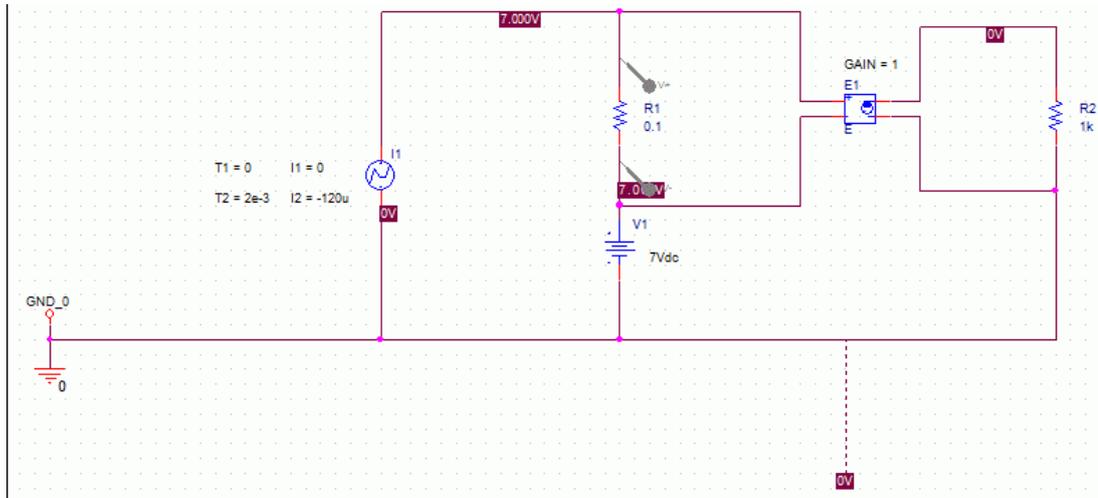


图3 电路实例

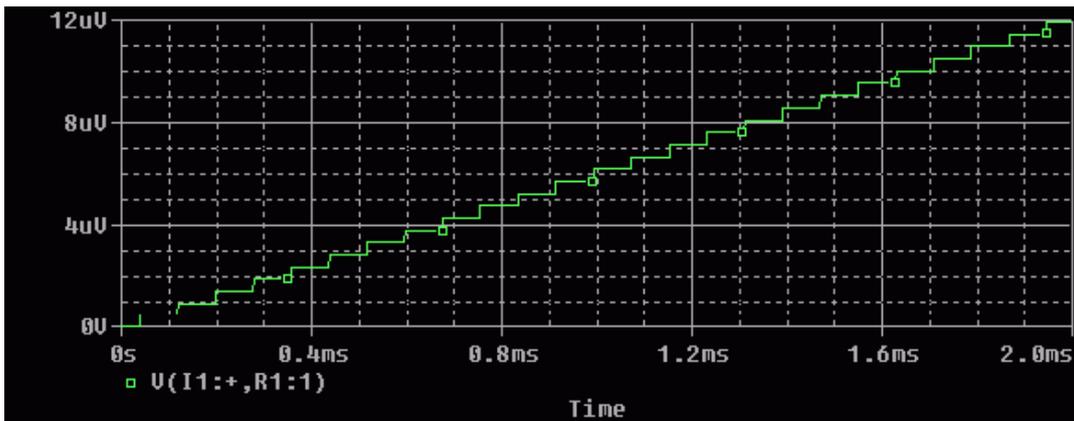


图4 32位数据精度下斜坡波形显示成阶梯波形

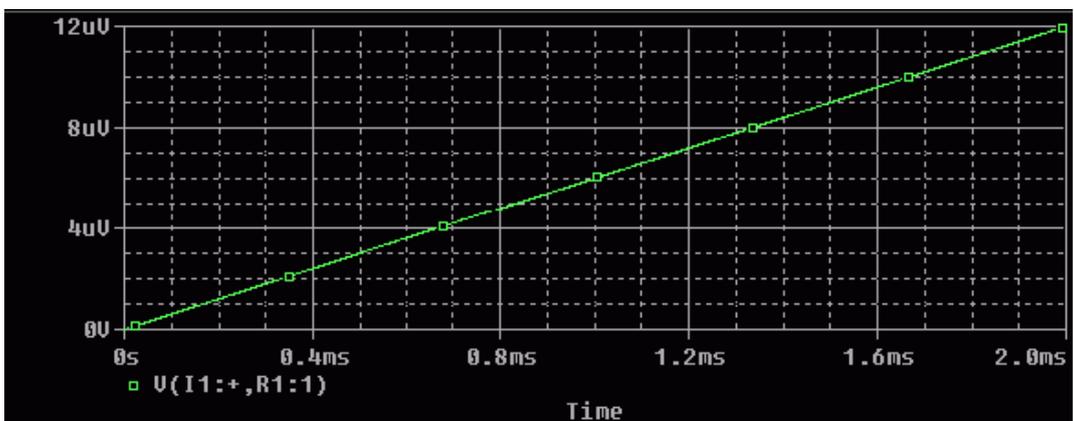


图5 64位数据精度下斜坡波形得到正确显示

### 3. Capture 生成网表后支持取消操作

在生成 Capture 所有支持的各种网表文件后，对于生成网表前用户对电路图进行的修改电路图参数、编辑元器件和互联线等操作，都可以执行 Edit/Undo 和 Edit/Redo 操作。而在先前的版本中，经过生成网表的操作后，Undo-Redo 操作信息堆栈将被清空，因此生成网表后将不能对之前进行过的电路编辑修改执行 Edit/Undo 和 Edit/Redo 操作。

### 4. 新增对 IBIS 的支持

用户可以基于已定义的关键词列表（见“4.3 所支持的关键词”一节），调用 Model Editor 或者执行 orPspiceParsers 命令这两种方法将供应商提供的 SigNoise 支持的各种版本 IBIS 或 DML 模型文件转换成可用于仿真的 PSpice 库文件(.lib 文件)。在 OrCAD Capture 和 Design Entry HDL 环境下进行的 PSpice 仿真中均可使用该.lib 文件。

无论采用上述那种方法都会产生下列两个文件：

- 以“<输入文件名>.lib”为名称的库文件。该库文件中包括了与 IBIS 文件中所有 Buffer 模型对应的 PSpice 宏模型，也包括与 IBIS 文件中所有信号对应的模型描述。

其中，与 IBIS 中 Buffer 模型所对应的模型名为：

<文件名>\_<元器件名>\_[Min|Max|Typ]

与 IBIS 信号所对应的模型名为

<信号名>\_[Min|Max|Typ]

- 一个名称为 ibis2pspice.log 的.log 文件

#### (1) 调用 Model Editor 进行模型转换

在 Model Editor 中，执行 Model/IBIS Translator 命令，打开如图 6 新的 IBIS to Pspice Converter 对话框。

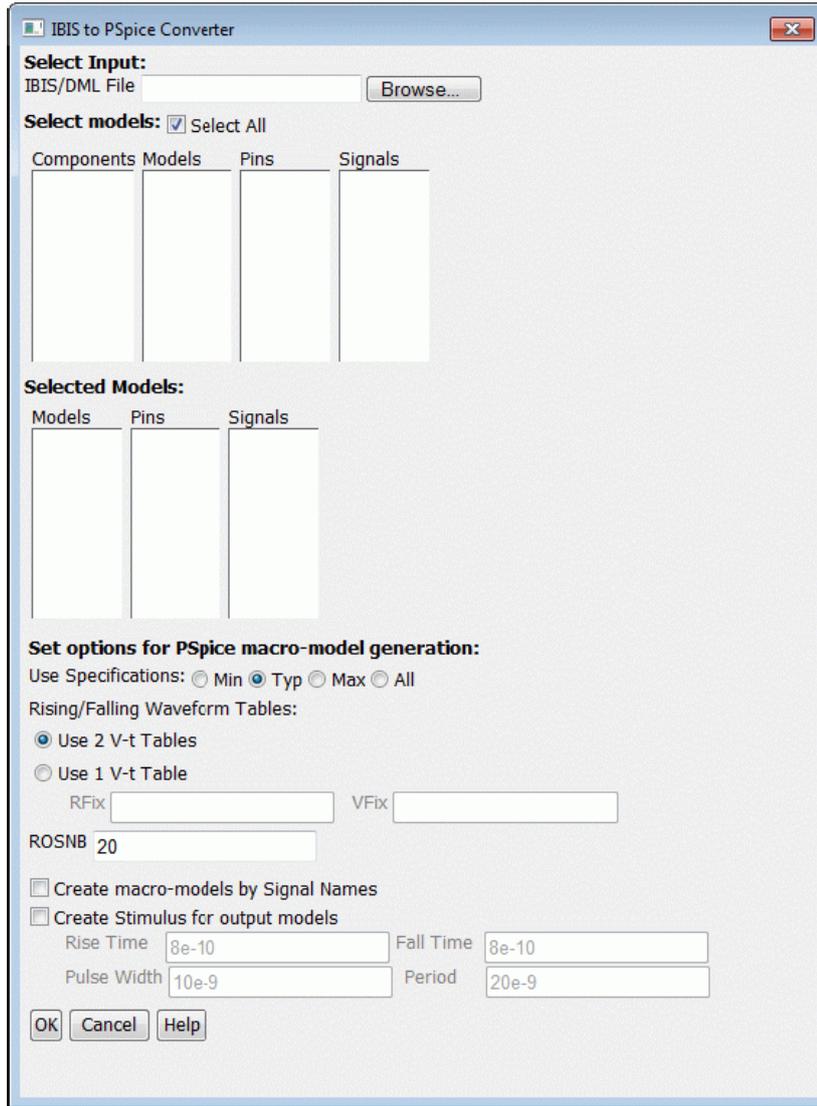


图 6 IBIS to Pspice Converter 对话框

说明：在“Select Input”一栏添加 IBIS 文件或 DML 文件时，可以通过如图 7 所示的 IBIS to Pspice Converter Options 对话框进行设置。

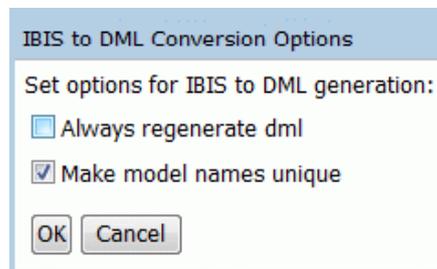


图 7 IBIS to Pspice Converter Options 对话框

IBIS to Pspice Converter Options 对话框中有两项选项：

- 若勾选 Always regenerate dml，则重新生成 DML 文件。IBIS 文件首先被转换成等效



的 DML 文件，然后读取该 DML 文件。如果未选中 Always regenerate dml 选项，而且存在一个与目标文件重名的 DML 文件，并且该文件比 IBIS 文件的创建时间更晚时，将不进行 IBIS 到 DML 的转换。

- 若勾选 Make model names unique，则将文件名赋给模型名，产生具有特定模型名称的模型。

在 IBIS to Pspice Converter 对话框中：

- 若勾选 Select All 将选中所有的模型。如果需要单个选择模型，首先取消选择 Select All，然后从模型列表中进行选择。
- 通过 Use Specifications 选项确定产生的模型类型：Typ（典型）、Max（最大）、Min（最小）或者 All（全部）。默认选项为 Typ。
- 若选择 Use 2 V-t Tables 选项（默认）则使用两个上升/下降波形的列表；如果选择 Use 1 V-t Table 选项，则使用单个波形列表。
- 若选择 Use 1 V-t Table 选项，用户还可以给需要使用的波形列表指定 RFix 和 Vfix 值来产生 PSpice 模型。V-t 列表默认采用最小的 RFix。

## (2) 调用 orPSpiceParsers 命令进行模型转换

在命令行模式下进行 IBIS 模型转换，需要输入如下命令：

```
orPSpiceParsers.exe <IBIS 文件名>|<DML 文件名>[参数 1,[参数 2]..]
```

其中，“参数”可以选用下表中给出的可选参数：

参 数	含 义
-model <模型名>	只对输出的.lib 文件中指定的模型产生子电路
-type <typ   max   min>	产生指定类型的模型，可选用的类型名为：Typ（典型）、Max（最大）、Min（最小）或者 All（全部）。默认值为 Typ。
-RFix <value> -VFix <value>	指定产生模型输出特性时采用的 V-t 列表。 默认设置为最小 RFix 的 V-t 列表。
-Use2Vt	使用两个上升/下降的波形列表。 默认设置是只采用一个波形表。
-ROSNB <value>	指定加在 L_pkg 两端的寄生电阻值。 默认设置是 ROSNB = 20 ohms。
-stim	若采用本项参数，将为输出和 I/O 缓冲器自动生成激励。
-pinModels	为所有由 IBIS 文件定义的信号产生模型。 默认设置下，只为 IBIS 文件中定义的 Buffer 模型产生 PSpice 宏模型。

## (3) 支持的关键词



对不同的 IBIS 版本，模型转换器均支持下述关键词：

[Package]

R\_pkg

L\_pkg

C\_pkg

[Pin]

signal\_name

model\_name

R\_pin

L\_pin

C\_pin

[Model]

Model\_type

Polarity, Enable

Vinl

Vinh

C\_Comp

[Pulldown]

[Pullup]

[GND Clamp]

[POWER Clamp]

[Rising Waveform]

R\_Fixture

V\_Fixture

[Falling Waveform]

R\_Fixture

V\_Fixture

[Ramp]

## 5. 支持多核引擎

在 16.6 版本中，PSpice 支持多核引擎。用户可以通过设置 THREADS 选项指定线程数或者默认引擎。该设置的格式为：

```
.options THREADS=<value>
```

其中，value 可为任意正整数。value 值为 0 表示设置为默认引擎，value 值为 1 表示采用单一线程。

## 6. 配置菜单和工具栏

用户可以对 PSpice、PSpiceAA 以及模型编辑器中的菜单与工具栏进行自定义设置。作为默认设置，用户也可以从菜单栏中运行 TCL (Tool Command Language: 工具命令语言) 模式。用户还可以为菜单和工具栏自定义图标。关于菜单和工具栏 (包括图标) 的源文件位于：

<Cadence 安装目录>\share\orResources

在下述情况下，用户可以通过指定的 XML 文件添加菜单：

- 指定菜单标签
- 指定点击菜单时需要调用的 TCL 模式名称
- 指定该菜单在已有菜单条目中的位置
- 指定激活与非激活 (灰色显示) 菜单条目采用的 TCL 模式
- 指定选项图标

此外，用户可以通过 TCL 代码添加动态的菜单条目。

注意：不能对弹出式菜单进行自定义配置。

## 7. 加密升级

加密升级包括新算法和命令行模式两方面内容。

### (1) 新算法

16.6 版本采用新的 AES 256 位加密算法，使得对 PSpice 和模型编辑器的加密效果更加高效稳定。并且，用户仍可以对先前版本中使用 DES 算法加密的模型进行解密。

### (2) 命令行模式

如今，PSpiceEnc 命令增添了一项用于指定模式的新选项。其格式为：

mode<n>

或 Mode <n>

其中 n 可以为 0、2 或 3，其作用如下：

- 0: 采用 16.5 版本的加密算法。
- 2: 采用具有先进安全性的 DES 加密算法 (16.5 版本中已具有此项功能)。
- 3: 采用 AES 加密算法。该算法是 16.6 版本以后更新版本中加密算法采用的默认算法。

## 8. 新模型

PSpice 16.6 中新增的模型信息如下表所示：

模型类型	库文件名	新增模型数
------	------	-------



肖特基二极管	schottky	105
桥式整流器	diode_fullbridge dual_diode	119
高速二极管	diode	26
齐纳二极管	zener	11
用于功率器件和信号波形加工的铁氧体金属芯模型	magnetic	399
开关电源控制器	micrel_stepdown_regulator micrel_stepup_regulator	61
电源管理：特殊用途的集成电路	Special_purpose_ics	29
IGBT 模型	IGBT	3
模拟开关		3

## II. PSpice 16.6 中已经解决的重要问题

本节描述的是在发布 PSpice 16.6 时已经解决的重要 CCRs。

### 1、CCR 19462：蒙特卡诺分析中 DEV 容差参数不能采用相对容差表示

#### (1) 问题描述

运行蒙特卡诺(MC)分析时,如果是采用一个参数来表示 DEV 容差(例如, DEV = {ATOL}),则只有当该参数描述的是绝对容差时该参数才有效。

#### (2) 解决方法

采用 Capture、Concept HDL 或 Schematics 绘制电路图时,用户可以为 DEV 构造这样的表达式:将描述 DEV 容差采用的参数除以 100 后再乘相对容差值。例如,若给定相对容差为 RTOL%,如果描述 DEV 容差采用的参数名为 VALUE,则将 DEV 设置为 DEV={VALUE\*RTOL/100}。

### 2、CCR 22481：如果元器件名中带有空格,在模拟时将显示出错信息“Error in Open Alias”

#### (1) 问题描述

如果一个元器件编号名中包含空格(例如 MY PART),会导致无法进行仿真。PSpice 窗口将显示出错信息:“Error in Open Alias”。

#### (2) 解决方法

用下划线“\_”代替元器件编号名中的空格。

### 3、CCR 32270: 模型从另一个与之同名但同时带有\_<整数>后缀的模型中读取信息时出错

#### (1) 问题描述

如果有两个模型，例如模型名分别为 UA741 和 UA741\_2 的两个模型，那么 UA741 模型会从 UA741\_2 模型中读取模拟参数和 Smoke 参数信息。这将导致模型编辑器中显示的 UA741 模型模拟信息和 Smoke 参数信息有误，而且在 PSpice 和高级分析下进行模拟时会生成错误的模拟结果。

#### (2) 解决方法

为了解决上述问题，需要确保以下两点：

- 对于新建的模型，不应采用一个已被其他模型采用了的模型名再加\_<整数>后缀的方式作为其模型名。例如，若已存在一个名称为 UA741 的模型时，不应以 UA741\_1、UA741\_2 等为名称命名新创建的模型。
- 如果已有模型的名称是模型名加\_<整数>后缀的形式，不应将名称中后缀前面的部分作为新建模型的名称。例如，若已存在名称为 UA741\_1、UA741\_2 等模型时，不应以 UA741 命名新创建的模型。

注意：在创建 OPAMP 模型时，\_<整数>后缀已被 PSpice 软件保留用来表示所建立运放模型的级别。

### 4、CCR 152246: 如果仿真剖面名中包含有特殊字符则显示曲线有误

#### (1) 问题描述

如果一个仿真剖面名中包含有特殊字符，在显示曲线时会发生错误。例如，若仿真剖面名为 tran`.sim，并且用户需要绘制一个特性函数（Measurement）随另一个特性函数变化的曲线，将会出现如下错误提示：

“ One or more required header items are missing from csdf file.

Error trying reading data file.

The data file is empty.

Analysis failed.”

（csdf 文件缺失一个或多个所需的开头项。

读取数据文件时发生错误。

数据文件是空的。无法进行分析。)

## (2) 解决方法

在仿真剖面、设计、电路图命名时，避免采用特殊字符。

# III. 在 Capture 下运行 PSpice 时已解决的重要问题

本节描述的是在发布 PSpice 16.6 时在 Capture 下运行 Pspice 过程中已经解决的重要 CCRs。

## 1、CCR 332772: OrCAD Capture 中采用层次化设计模式时应用波形显示符 (Marker) 存在问题

### (1) 问题描述

如果一个设计中包含两个或者多个电流波形显示符 (Current Marker)，从 Probe 窗口中删除多个 Marker 以后，用户在 OrCAD Capture 中仅可以再激活一个 Marker。

### (2) 解决方法

用户可以通过如下三种途径解决这一问题：

- 在 Capture 中，执行 PSpice/Markers/List 命令打开 Markers 对话框，取消已选的 Marker，然后根据需要选择放置多个 Marker，就使得这些 Marker 处于激活状态；
- 在放置的所有 Marker 中随意选择一个 Marker 并对其进行一次旋转操作，然后用户即可对其他 Marker 进行选择；
- 在一个子电路层次的电路图中选择 Marker 将其激活，然后关闭其他层次的电路图再重新打开，用户就可以在重新打开的电路图中放置所有的 Marker。

# IV 在 Design Entry HDL 下运行 AMS 时已解决的重要问题

本节描述的是在发布 AMS 16.6 时在 Design Entry HDL 下运行 AMS 过程中已经解决的重要 CCRs。

## 1、CCR 892748: 应用 Verilog\_Decs 时子参数未传递导致无法仿真

### (1) 问题描述

在层次化设计中，如果应用 Verilog\_Decs 将参数传递到较低层次模块，在创建网表时子电路中的参数不能初始化，最终导致无法进行仿真。

### (2) 解决方法

采用 VHDL\_Decs 将参数传递到较低层次模块。

## 2、CCR 243620: 先前版本中的偏置显示设置在 15.5.1 版本中无法应用

### (1) 问题描述

在 15.5.1 版本中，打开一个由先前版本创建并且在选用偏置显示选项状态下保存的 DEHDL 设计时，用户会发现偏置显示设置处于关闭或者灰显状态。

### (2) 解决方法

按照下述步骤重新配置偏置显示选项：

- 在 Design Entry HDL 中，执行 AMS Simulator/Bias Display 命令；
- 根据需要选择相应的子菜单，设置偏置显示；
- 保存更新后的设计，就能保证在工程文件中已保存有偏置显示设置，可供下次应用。

## 3、CCR 270644: 元器件的 PSpice 名不以 Probe 形式显示

### (1) 问题描述

如果用户将 AMS Probe 符号与 pspice\_elem 库中的 ground 符号或者 Source 库中的接地 (0) 符号相连，那么在 View Probes 对话框中将不显示元器件的 PSpice 名，仅显示 Design Entry HDL 名。

### (2) 解决方法

无。

## 4、CCR 273518: 模型关联应该支持高级分析模型

### (1) 问题描述

在 SPB 15.5.1 版本中,用户无法用 ASM Simulator/Associate Model 命令调用 Model Import Wizard 将采用参数表示的 PSpice 模型传递给 DEHDL 中的元器件。

## (2) 解决方法

无。

## 5、CCR 107997: 电路图中偏置点显示情况与工具栏状态不一致

### (1) 问题描述

用户在 Concept HDL 中打开先前保存的设计时,偏置点的显示情况有时与工具栏中显示偏置点的工具按钮的状态不一致。例如,会出现这种情况:在工具栏中未选中显示偏置点电压按钮的情况下电路图中已经显示有偏置电压,或者工具栏按钮电压按钮已处于选中的情况下电路图中却未显示出偏置电压。这是由于电路图中显示的偏置点是作为设计的一部分进行保存的,而工具栏为全局设置,不会因关闭或打开一个设计而改变。

### (2) 解决方法

先将用于显示偏置点的所有按钮置于未选中状态,然后在工具栏中点击相应的按钮显示偏置点。

## 6、CCR 94690: 层次化设计中的偏置点显示问题

### (1) 问题描述

在包含有可重复调用模块的层次化设计中,不显示偏置点电压。

### (2) 解决方法

如果需要在包含有可重复调用模块的层次化设计中查看偏置电压,用户应选中需要查看偏置电压的结点,然后打开 Attributes 对话框。在 Attributes 对话框中,属性参数\$BIASVOLTAGE 的值就是偏置电压。

## 7、CCR 13789: PSpice 库中元器件输入和输出负载电流值之间的默认值和符号不匹配

### (1) 问题描述

所有 PSpice 库中元器件的 chips.prt 文件存在如下问题:

- INPUT\_LOAD 和 OUTPUT\_LOAD 符号相同。
- INPUT\_LOAD 和 OUTPUT\_LOAD 已设置默认值。

这样,如果在设计中运行 Electrical Rule Checks 对接口信号(其属性为逻辑值)进行负

载违法检查时，就会产生错误。

## (2) 解决方法

按照下述示例的方式，编辑修改这类元器件的 chips.prt 文件：

```
pin
  'A':
    INPUT_LOAD='(-0.010000,0.010000)';
    PIN_NUMBER='(1,3,5,9,11,13)';
  '-Y':
    OUTPUT_LOAD='(-1.000000,1.000000)';
    PIN_NUMBER='(2,4,6,8,10,12)';
end_pin;
```

示例中，必须将 OUTPUT\_LOAD 值改为'(1.000000,-1.000000)'，以表示流入电流为+ve，流出电流为-ve。

此外，需要注意的是，示例中对 INPUT\_LOAD 和 OUTPUT\_LOAD 进行了默认值设置，用户需要参考相应元器件的数据手册，将 INPUT\_LOAD 和 OUTPUT\_LOAD 修改为正确的值。

## 8、CCR 8522：所有的 K 型元件和 ABM 元器件没有 REFDES 属性

### (1) 问题描述

在 MAGNETIC 库中的 K 型元器件（例如 k502t300\_3e2a）和 ABM 库中的所有元器件都没有 REFDES 属性。

### (2) 解决方法

参照 PSpice User's Guide 第 5 章 Creating parts for models 中“Coupling of Inductors using REFDES property”一节介绍的方法，为这些元器件添加 REFDES 属性。

## 9、CCR 8624：在参数值中使用@<variable> 导致无法生成 PSpice 网表

### (1) 问题描述

如果参数值中存在一个以@开头的变量名，将无法生成 PSpice 网表。例如，设计中放置一个值为{@rval}或@rval 的电阻，将无法生成 PSpice 网表。

### (2) 解决方法

参数值中不要采用以@开头的变量名。

## 10、CCR 13996: SUBPARAM 元件不支持向子电路传递参数

### (1) 问题描述

SPECIAL 库中的 SUBPARAM 元件不支持向子电路传递参数。

### (2) 解决方法

采用 STANDARD 库中的 VHDL\_DECS 元件可以向子电路传递参数。详细信息请参照 PSpice User's Guide 第 9 章 Setting up analyses and starting simulation 中的“Passing parameters to subcircuits”一节。

## 11、CCR 8524: Concept HDL 中放置在结点或元器件上的 Probe 探针不随结点或器件一起删除

### (1) 问题描述

在 Concept HDL 中，删除放置有 Probe 探针的结点或元器件，在 Probes 对话框中这些结点或器件上的 Probe 探针仍然显示，未删除。

### (2) 解决方法

打开 Probes 对话框，手动删除这些 Probe 探针。

## 12、CCR 13480: 无法改变仿真剖面的名称

### (1) 问题描述

在 Concept HDL 中，执行 PSpice/Edit Simulation Profile 命令打开 Simulation Settings 对话框，在该对话框的 General 选项卡中修改 Profile name 栏中的仿真剖面名称，并点击 OK 确认，但 PSpice 工具栏中的仿真剖面的名称并没有改变。

### (2) 解决方法

无。

## 13、CCR 14022: Concept HDL 无法显示放置有 Probe 探针的总线上的波形曲线

### (1) 问题描述

在 Concept HDL 中，对设计进行仿真时，PSpice Probe 窗口中不显示放置有 Probe 探针的总线（例如：DATA<3..0>）上的波形曲线。

### (2) 解决方法



按照如下步骤手动添加波形曲线：

- 在 Probe 窗口中，执行 Trace/Add Trace 命令，打开 Add Traces 对话框。
- 在 Functions and Macros 列表中，选择 Digital Operators and Functions。
- 选择{}项。
- 在 Simulation Output Variables 列表中，选择需要显示的总线上的数字信号。

注意：在 Simulation Output Variables 列表中总线 DATA<3..0> 显示的信号为 DATA\_OP\_3\_CP\_、DATA\_OP\_2\_CP\_、DATA\_OP\_1\_CP\_和 DATA\_OP\_0\_CP\_。

## 14、CCR 19131：Concept HDL 中不能生成 TLINE 库中 Coax 模型的网表

### (1) 问题描述

在 Concept HDL 中生成 TLINE 库中 Coax 模型的网表时会出现错误信息：“ERROR: Invalid device type specified in PSpice Template”。产生这种错误是由于在 Concept HDL 下生成 PSpice 网表时不能识别 Coax 符号属性参数 PSpice Template 中的第一个字符。

### (2) 解决方法

为了能够生成 Coax 模型的网表，可以选用下述两种 Coax 符号：

- 选用表示损耗随频率变化的有损传输线描述：.MODEL 描述（T 描述），将其 PSpice Template 修改为：

```
T^@REFDES %A+ %A- %B+ %B-@MODEL ?LEN/LEN=@LEN/
```

- 表示固定频率损耗的模型描述：.SUBCKT 描述（X 描述），将其 PSpice Template 修改为：

```
X^@REFDES %A+ %A- %B+ %B- @MODEL ?FRQ/PARAMS: FRQ=@FRQ/  
?LEN/LEN=@LEN/
```

## 15、CCR 23415：在 Concept HDL 中无法查看 PSpice 网表

### (1) 问题描述

用户在 Concept HDL 中执行 PSpice/View Netlist 命令后，无法查看 PSpice 网表，得到的是如下错误提示信息：

```
No error message for error code = 3
```

### (2) 解决方法

出现该提示信息是由于系统路径下没有 write.exe（WordPad 的可执行文件）文件。用

户需要确保 write.exe 文件位于系统路径下。

## **16、CCR 32518：进行 Smoke 分析时，如果用户需要编辑具有多个 Implementation 属性参数的元器件的 Smoke 信息，需要将<设计名>.prp 文件中的 device 名称改为与电路中元器件名称一致**

### **(1) 情况 1：具有多个 Implementation 属性参数的模型**

如果用户需要编辑具有多个 Implementation 属性参数的元器件的 Smoke 信息，需要将<设计名>.prp 文件中的 device 名称改为与元器件名称一致。

修改步骤为：

- 在 Concept HDL 中执行 Text/Attributes 命令；
- 选择需要修改 Smoke 参数的元器件，打开 Attributes 对话框；
- 记下 IMPLEMENTATION 属性参数的值；
- 点击 OK，关闭 Attributes 对话框；
- 在文本编辑器中打开位于工程目录下的<设计名>.prp 文件；
- 采用文本编辑器中的 Find 命令找到与上述元器件 IMPLEMENTATION 属性参数值相同的 device 名称；
- 修改 device 名称，使其与元器件名称一致；
- 在文本编辑器中保存修改。

注意：如果<设计名>.prp 文件中的 device 名称与元器件名称不同，修改后的 Smoke 信息将不会应用于 Smoke 分析，在 Smoke 分析中采用的将是来自元器件库的 Smoke 参数。

### **(2) 情况 2：支持多级别的模型**

如果要对设计中采用的一个支持多级别的元器件模型进行编辑，并且改变其 Smoke 参数，用户需要将<设计名>.prp 文件中的 device 名称改为 awb<元器件名>。

例如，假设用户需要对 OPA 库中的器件 AD101A 的 Smoke 信息进行编辑，并且该器件的 LEVEL 属性已经设置为 3，则<设计名>.prp 文件中的 device 名称将为 AWBAD101A\_3（其中 3 为该器件属性参数 LEVEL 的值）。用户需要将<设计名>.prp 文件中的 device 名称改为 AWBAD101A。

注意：如果用户不按照上述方法修改<设计名>.prp 文件中的 device 名称，编辑后的 Smoke 信息将不会应用于 Smoke 分析，在 Smoke 分析中采用的仍然是来自元器件库的 Smoke

参数。

## V. 废弃的商用库文件

### (1) 问题描述

下面列出的商用元器件库现已废除，并且也不再提供相应的电路符号：

废弃的库文件	替代库文件
MOTORMOS	ON_MOS
MOTORAMP	ON_AMP
SIEMENS	INFINEON 和 EPCOS

修改模型名是为了反映对应的新公司，如

MTP50N06E/MT 现在该为 MTP50N06E/ON

### (2) 解决方法

从新的符号库文件中调用电路符号，如

ON\_MOS

ON\_AMP

INFINEON

EPCOS

为了兼容原先 Capture 设计中 Design Cache 库里的电路符号，在新的模型库文件中原先的模型会带有一个表示原来版本的后缀：/MT 或/SIE。在 9.2.3 之后的版本中这些废弃的模型将会被完全删除，因此强烈建议用户采用新模型参数库中的相应元器件更新原先的设计。

## VI. 已修复的 CCR

在 PSpice 16.6 中解决的 CCR 问题如下表所示。相关的详细信息请联系客户服务。

CCR 编号	内容描述
CCMPR00008512	显示偏置信息时应增加模拟数据提示
CCMPR00010678	增加能够降低读入数据分辨率的功能
CCMPR00011695	由于产生较大的.DAT 输出文件，模拟过程似乎进入“死循环”
CCMPR00022475	对于 Spice ConceptHDL，应能显示每个节点的信息
CCMPR00022614	出现连续的信号波形跳变时导致激励信号编辑器崩溃
CCMPR00025822	在 ConceptHDL 中应能够显示偏置点（电压和电流）
CCMPR00105149	Concept mix_misc 库中缺失 cd4046 元件的目录



CCMPR00177776	高级分析控制器应该允许采用元件的表达式
CCMPR00227655	在高级分析中应该支持包括有花括号{}的表达式
CCMPR00416436	如何在灵敏度分析中传递参数值?
CCMPR00555140	仿真器反馈的 $V_j$ 为负值有误—— $V_j$ 不可能为负值
CCMPR00624867	在灵敏度分析中应能直接采用表达式的值
CCMPR00647097	采用剪切复制方式移动波形曲线时，移动结果不正确
CCMPR00842675	默认的最大时间步长显示的结果有误
CCMPR00871572	升级：当出现收敛错误时，在 Probe 窗口中增加 AutoConverge（自动收敛）功能
CCMPR00874962	温度扫描会产生负的 $V_j$
CCMPR00878355	如果电路中包含有执行 Creat Netlist 命令后采用 PSpice tab 标签页生成的子电路，将无法进行仿真
CCMPR00878770	加密模型中不应该要求 unix2dos
CCMPR00892333	应该具有将与工程相关的所有文件“Save as”为 Capture-PSpice 工程的功能
CCMPR00892494	升级：Spice 模型的完整加密
CCMPR00893597	在执行 Data Entry/Core Detail/Core 命令后点击 Next（下一步）按钮时，重要信息丢失
CCMPR00916131	新增：升级.DAT 文件版本以支持更高的数据精度
CCMPR00940954	当 $V_j$ 为负值时，不能进行温度扫描
CCMPR00955644	升级：读取多段数据文件时减小存储器中的操作痕迹
CCMPR00968479	升级：更新一些 PSpice 模板
CCMPR00973928	漏洞：流过电流源的电流方向反了
CCMPR01023286	漏洞：在 PSpice 高级分析的多重参数扫描中进行仿真剖面设置时不能复位到 1000
CCMPR01023336	升级：在 PSpice 标准库中引入基本的熔丝元件
CCMPR01028606	对于名称中含有符号“-”的波形曲线进行复制、粘贴时，得到的并不是波形曲线而是代表该波形曲线名称的表达式