



# **Allegro PCB Editor 16.6**

## **新增功能和更新的内容**

### **2013.01**

Copyright ©2006-2013 Deehow Electronics Technology Co., Ltd.  
All rights Reserved.

## 目 录

Route Interconnect Optimization .....	4
Auto-Interactive Delay Tune (AiDT) - High Speed Product Option .....	4
Slide Overhaul.....	4
Offset Routing.....	5
Smart Layer Behavior for Add Connect.....	6
Disable Open Space Routing .....	7
Line Width Retention during Add Connect.....	8
Fix Cline Segments .....	8
Copy/Move Cline Segments .....	9
Unsupported Prototype Menu .....	9
Productivity Enhancements.....	10
Components Alignment Updates.....	10
Place Replicate support of Text.....	11
Quickplace - Overlap Components .....	13
Symbol Instance Refresh .....	13
Parameterized Cornering for Rectangular Shapes .....	14
Shape Expansion/Contraction .....	14
Add Circle - Ease of Use Improvements.....	15
Change Radius of Line Drawn Circle .....	15
Thermal width for Xhatch shapes .....	15
Shape Updating .....	16
Shape Messaging.....	17
Embedded Net Names.....	18
Rat Display - End in View Only.....	18
Show Measure Support for Dual Units .....	19
Multiple Constraint Region Assignments .....	20
Move Lines and Text outside Existing Class Structure.....	20
"Snap Pick to" updates .....	20
Status Bar updates .....	20
Select by Lasso or Path .....	21
Highlight Nets associated with Component.....	21
Split Plane Association.....	21
DRC by Window .....	22
Replace Padstack Enhancements .....	23
Design for Manufacturing.....	23
IPC-2581 Data Transfer Standard .....	23
Artwork / Film Records Enhancements .....	23
NC Drill Enhancements .....	24
Thieving Enhancements .....	25
Associative Dimensioning Updates .....	26



Change Line Font.....	27
Team Design (Partitioning) more Flexible in 16.6.....	27
Flexible Boundaries .....	27
Constraint Editing .....	28
Differences Report .....	28
ECO Wizard .....	29
Embedded Component Design.....	29
Dual Side Contact Components .....	29
Vertically Placed Components .....	29
2 Layer PCB Support .....	30
Suppression of Unassigned Indirect Vias.....	30
New Embedded Cavity DRCs.....	31
Database & Misc Enhancements.....	31
Pastemask update .....	31
Generic Tech File (Cross Section Neutral).....	31
Net Group Constraint Object .....	32
New Design Defaults .....	32
Find Filter update .....	33
Plotting Improvements .....	33
Buried/Blind via Generator update .....	34
Design Re-Use Modules .....	35
New Variables .....	35
Modified Properties.....	36
Reports .....	36
IDF Out .....	36
Fabmaster Output.....	36
Symbol Export .....	36
Dump Libraries .....	37
Product Selectors.....	37
Data Migration .....	37
Downrev to 16.5.....	37
Database Diary.....	38
Symbol Editor Enhancements .....	38
Renummer Symbol Pins.....	38
Symbol Editor - Import .CSV pin files .....	39

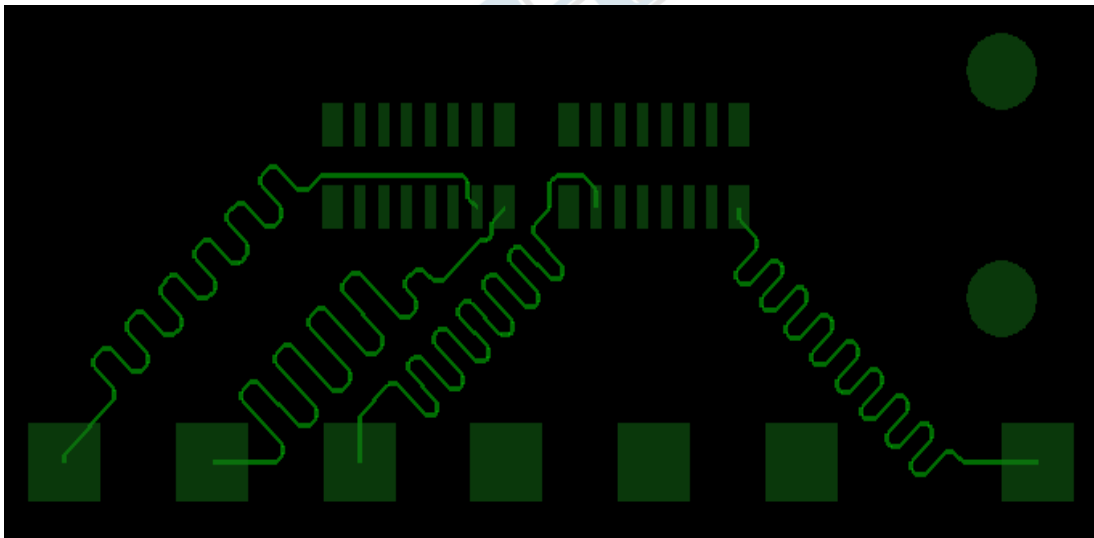
## Route Interconnect Optimization

### *Auto-Interactive Delay Tune (AiDT) - High Speed Product Option*

对于“High Speed”模块，16.6 版本新增“Auto-Interactive Delay Tune”命令，可以实现自动对走线进行时序调节，从而大大减少时序调节所需的时间，如对于 DDR3，可以减少 30%-50%的调节时间。AiDT 命令允许用户快速的调节某些关键高速信号的时序，其操作对象为走线（clines）或者走线片段（clines segments），可以对单独走线进行调节，还可以对多条走线同时调节。选择命令后，鼠标点击需要调节线长的走线或走线片段，AiDT 会自动计算走线的长度来满足约束管理器中对该走线设置的时序约束。该命令的参数可以通过 Option 控制面板来进行设置。

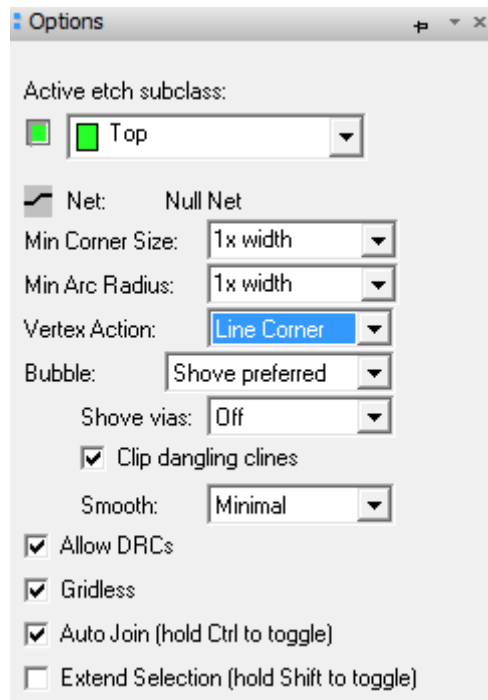
AiDT 命令启动方法：

- 1、选择 Route 菜单下的“Auto-Interactive Delay Tune”；
- 2、在命令窗口中通过输入 aidt；
- 3、在布线模式（etch edit）下，选中走线，右键下拉菜单中选则“Auto-Interactive Delay Tune”；



### *Slide Overhaul*

16.6 版本对走线的滑动操作（Slide）有了很大的改进，改版后操作起来更加灵活、顺畅、可预测。该命令简化了使用模型，整合了任意角度和圆弧角度的滑动方式，并且提供了新的选项，以提高效率。启动 Slide 命令后，Option 控制面板如图所示：



Min Corner Size: 确定 45 度走线的最小的拐线长度;

Min Arc Radius: 确定弧形走线的拐角的最小半径;

Vertex Action: 对于 Vertex 的编辑操作:

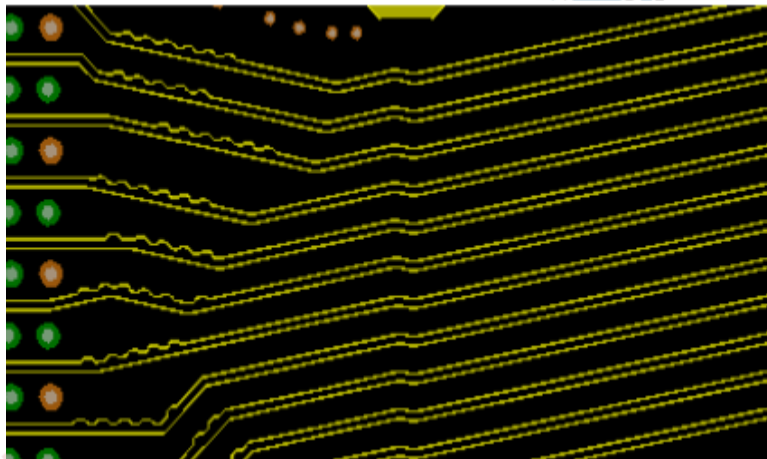
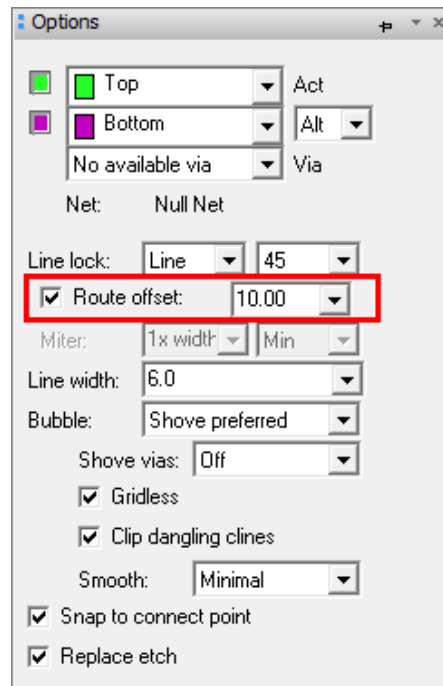
Line Corner: 拐点处以线的方式进行移动;

Arc Corner: 拐点处以圆弧的方式进行移动;

Move: 只对拐点进行移动操作。

### **Offset Routing**

Offset Routing 允许用户在布线过程中采用非标准角度进行布线，以使在玻璃纤维介质中走线时最大程度的降低阻抗的不连续性。

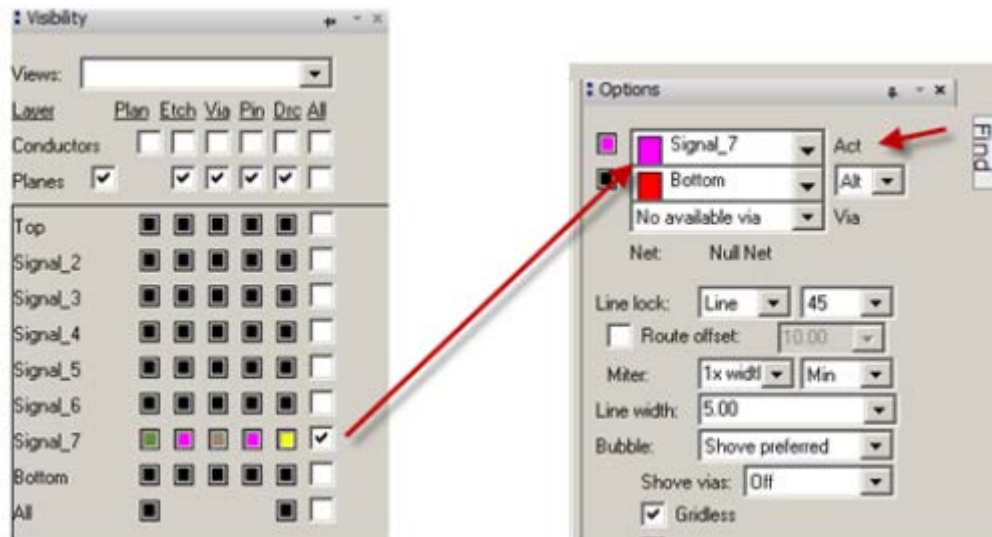


相关功能键：

pop flip: 布线过程中在命令窗口中输入“pop flip”，可以在 45 度走线与 10 度走线之间进行切换；

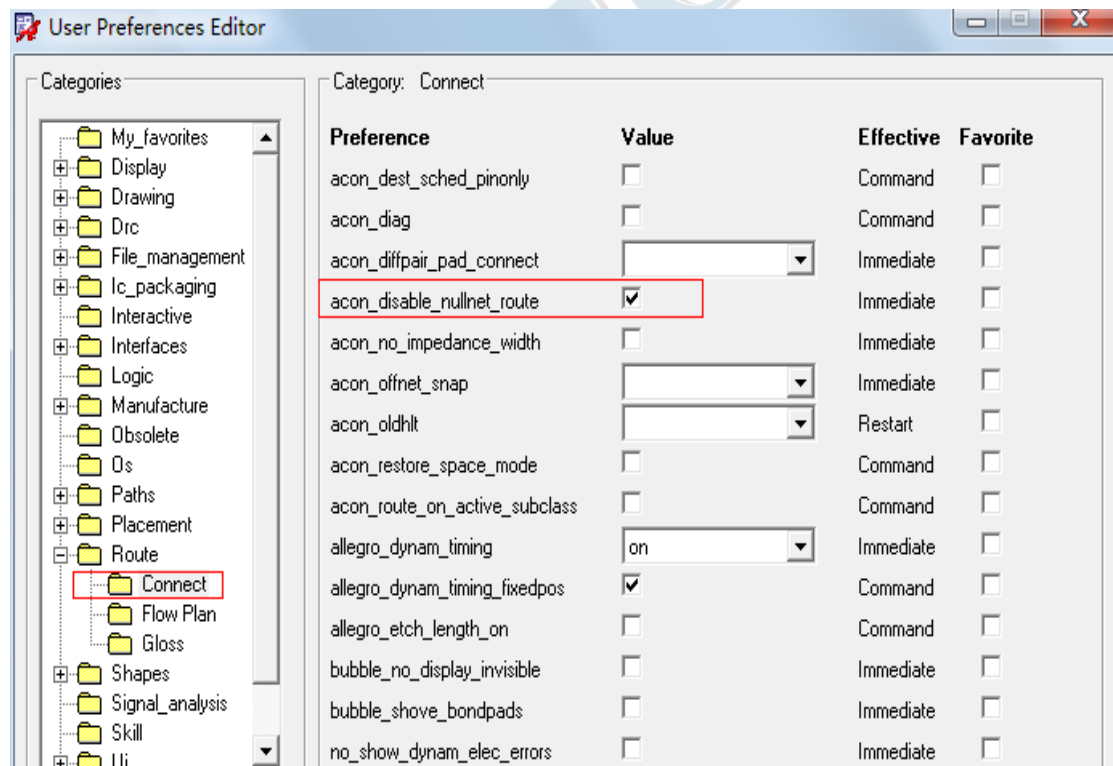
### ***Smart Layer Behavior for Add Connect***

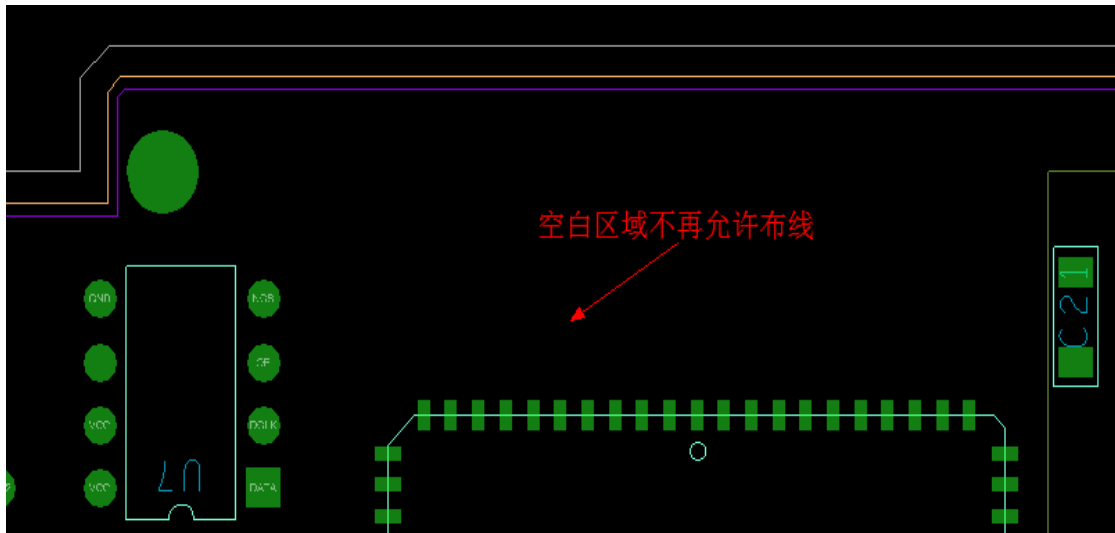
当使用 Route-Connect 命令布线时，Option 控制面板中的布线起始层会自动匹配 Visibility 控制面板中的唯一的可见层。



### Disable Open Space Routing

当使用 Route-Connect 命令布线时，16.6 之前的版本允许直接点击 PCB 中的空白区域进行随意布线，16.6 新增环境变量“acon\_disable\_nullnet\_route”，当设置后，用户不能再在空白区域进行布线。

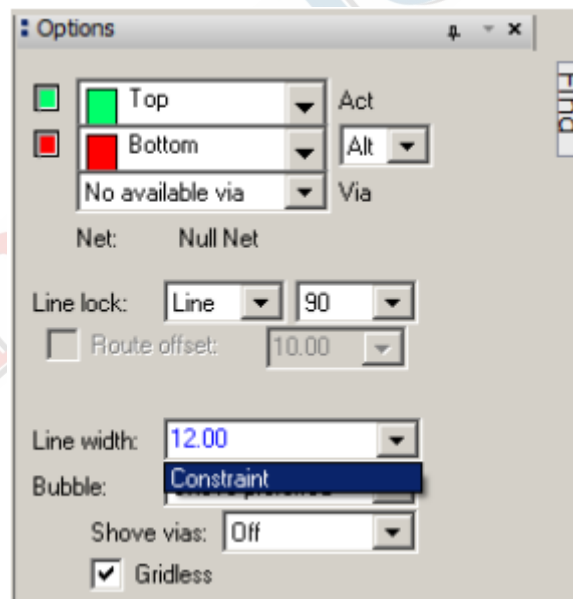




备注：该变量的设置不影响在空白区域进行群组布线操作。

### ***Line Width Retention during Add Connect***

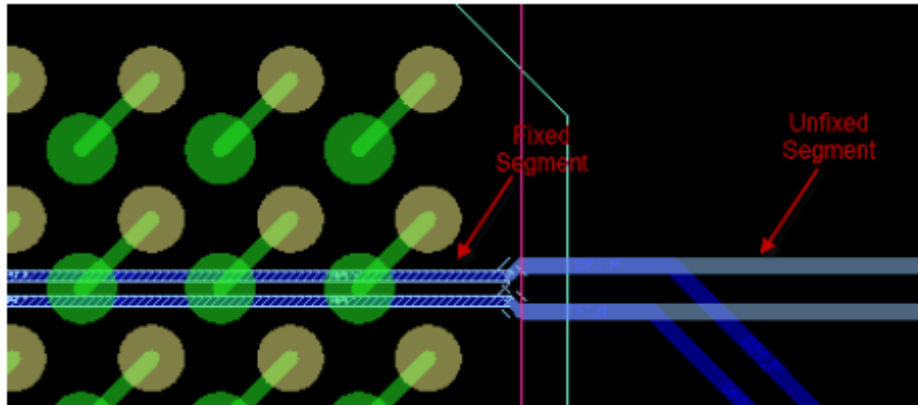
16.6 版本保留了在布线过程中在 Option 中设置线宽的功能，新版本中用户设置的线宽采用蓝色字体来表示，用以区分。可以通过选择下拉列表中的“Constraint”将线宽切换至约束线宽值。



### ***Fix Cline Segments***

16.6 版本支持对走线片段（cline segments）进行固定（Fix）操作。





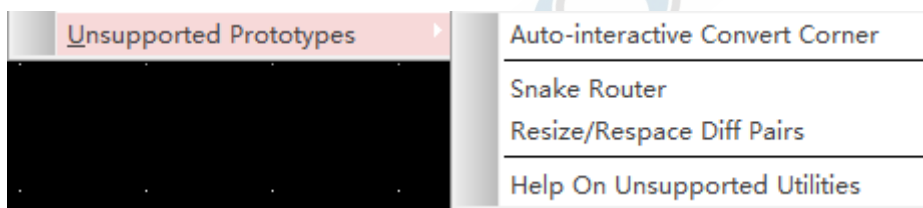
备注：可以配合 Stipple Pattern 模式用以区分固定（fixed）和非固定（non-fixed）元素。

### ***Copy/Move Cline Segments***

16.6 版本支持对走线片段（Cline segs）和其它片段（Other segs）进行复制/移动操作。

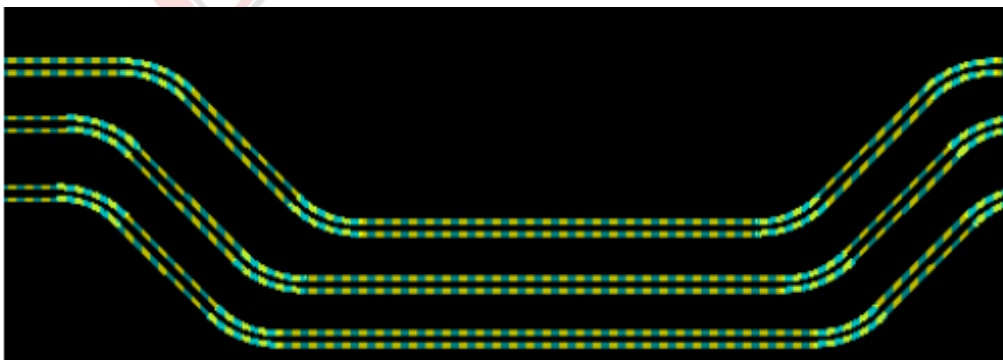
### ***Unsupported Prototype Menu***

16.6 版本在 Route 菜单下新增“Unsupported Prototype”子菜单：



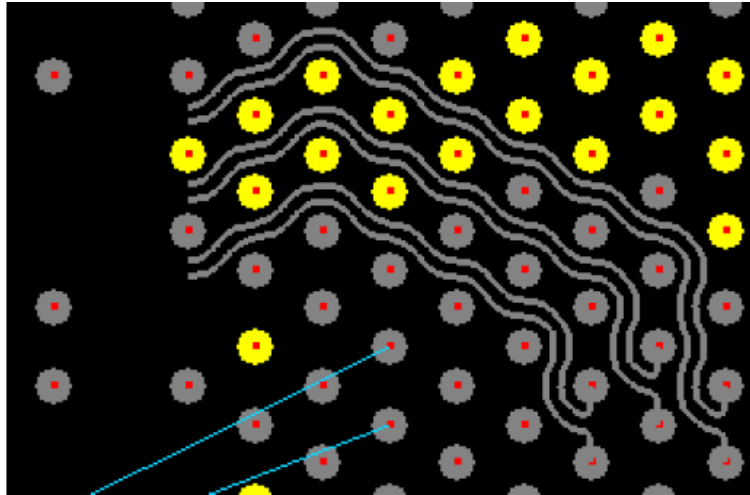
#### **1、Auto Interactive Convert Corner (AiCC) :**

该命令用于改变走线拐角的角度（Arc、45、90）。其操作对象可以为网络（Nets），走线（Clines）和走线片段（Cline Segments）。



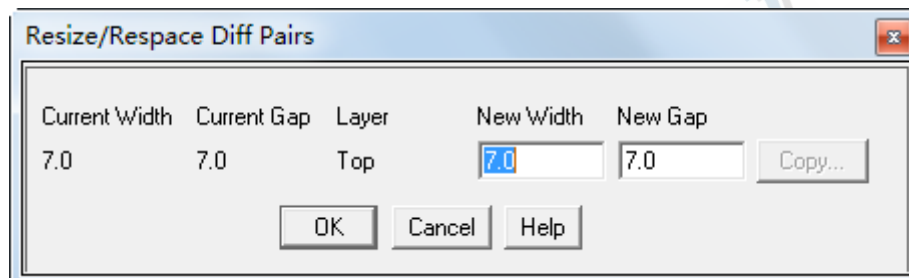
#### **2、Snake Router:**

该命令用于弧线型布线。



### 3、Resize/Respace Diff Pairs:

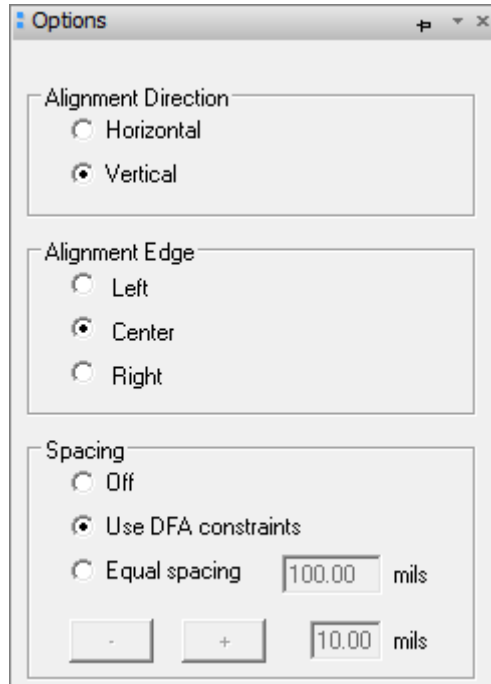
该命令用于修改差分走线的线宽（Width）和线间距（Gap）。



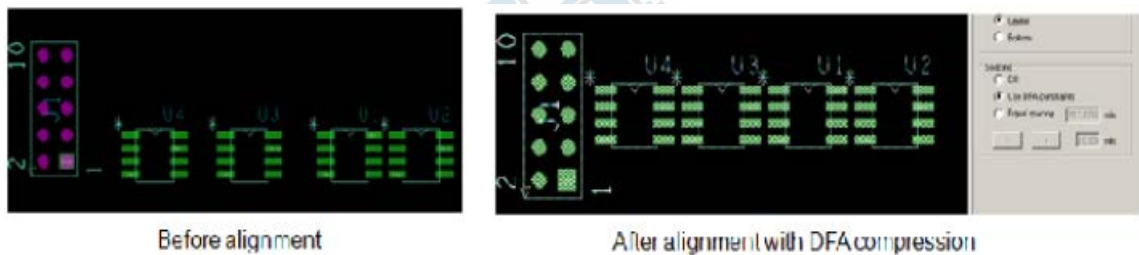
## Productivity Enhancements

### *Components Alignment Updates*

16.6 版本针对元器件的对齐功能有了进一步的改进。



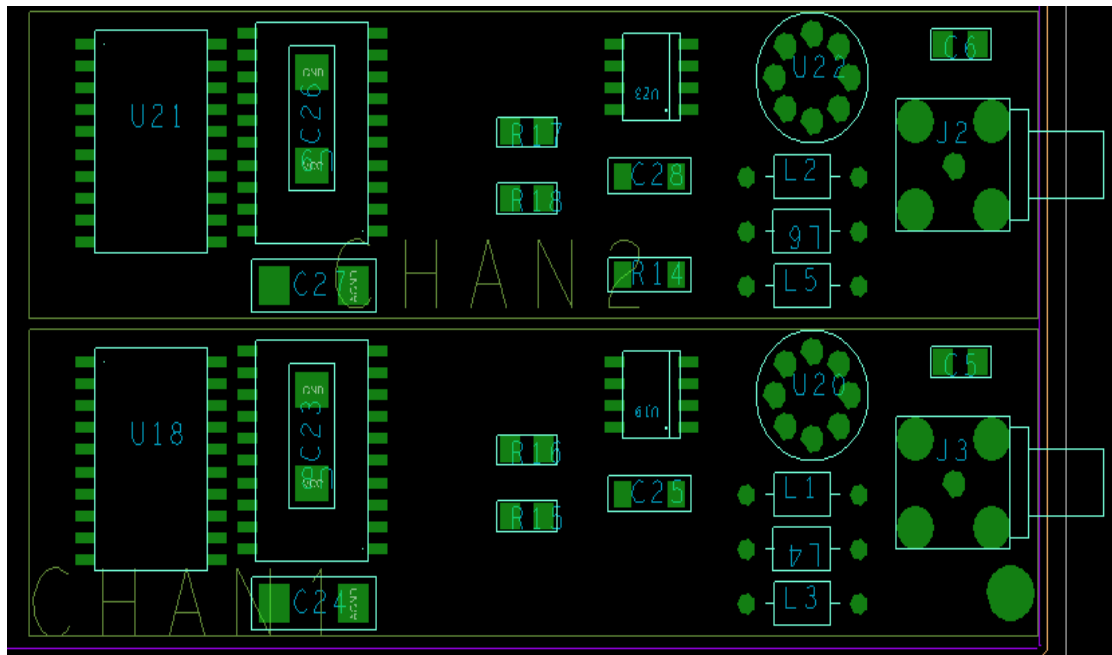
针对横向对齐或纵向对齐，可以设置不同的对齐方式，如左对齐、右对齐、上对齐、下对齐。针对对齐时元器件的间距，可以设置不同的间距值，如 Option 控制面板中，Off 代表当前间距；Use DFA constraints 表示采用 DFA 间距；Equal spacing 表示用户设置等间距。



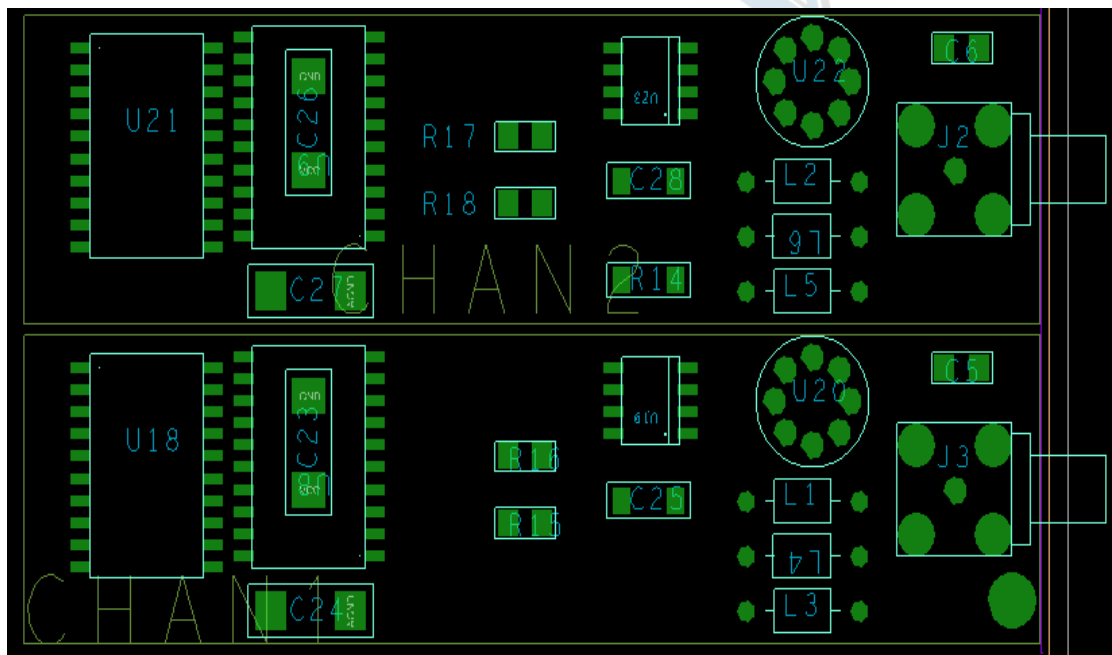
## Place Replicate support of Text

16.6 版本支持对元器件的编号（丝印层编号、装配层编号）执行布局复用操作（Placement Replication），

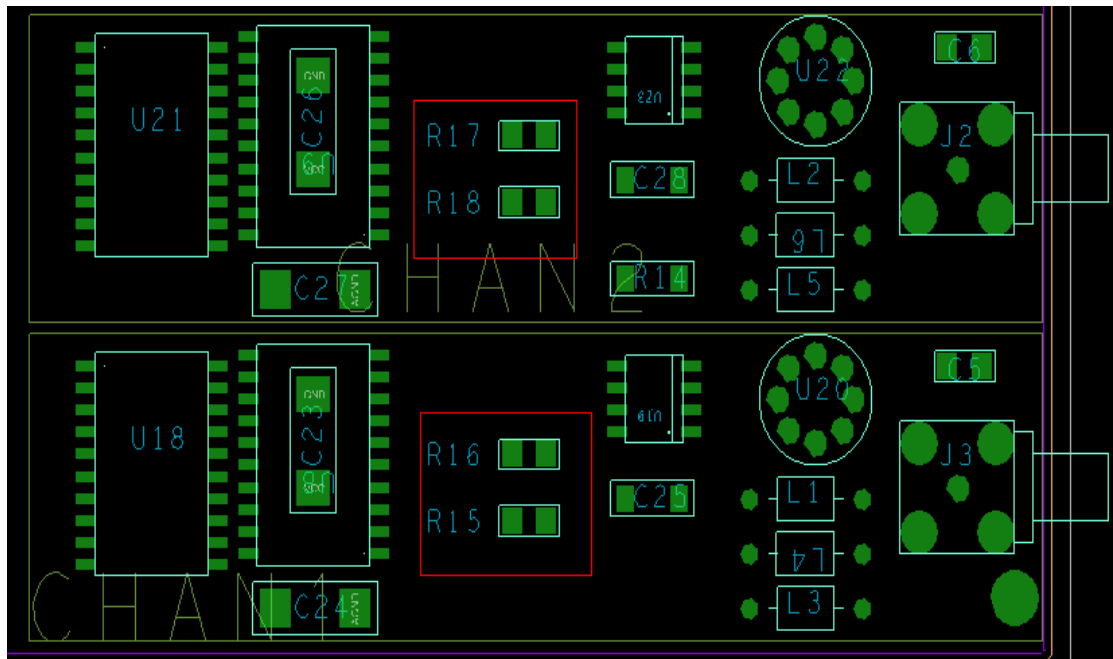
例如：以下为两个相同布局的模块：



现在调整以下 R17 和 R18 的文本位置，如图：

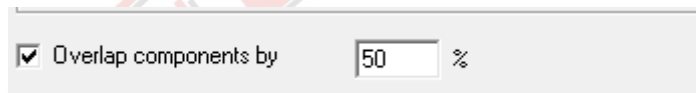


在布局模式下，Find 面板中只勾选 Group 选项，鼠标放置在上面模块上，右键选择“Place Replicate Update”，结果如图：



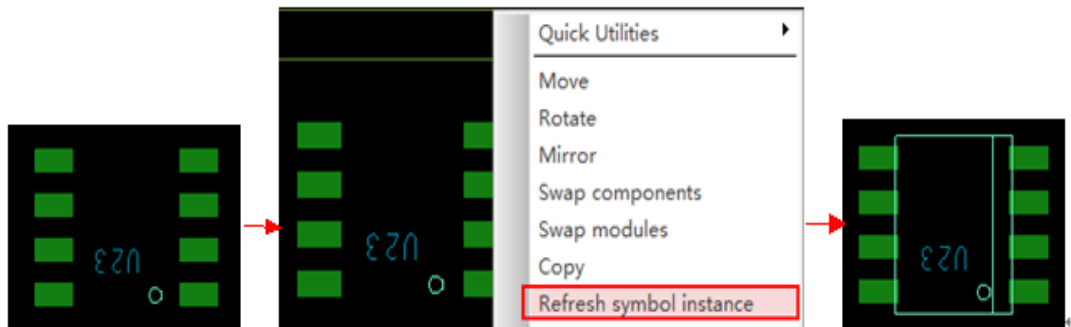
## Quickplace - Overlap Components

快速布局（Quickplace）是指将元器件快速地摆放至电路板四周或某指定区域（ROOM）内的元件布局方法。之前版本在元器件快速布局时，不允许元件重叠放置，这就有可能造成由于区域不够大致使器件摆放不完全的情况发生。16.6 中在进行快速布局时，新增选项“overlap components”，允许器件重叠摆放，默认值为 50%。



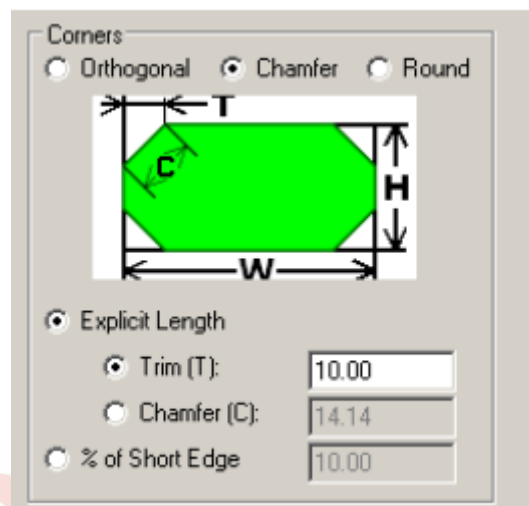
## Symbol Instance Refresh

16.6 版本支持布局模式（Placement edit）下对单个元器件的更新操作，例如我们会经常将元器件的文本或者器件边框不慎删除，以往的操作方法是通过 Place-Update Symbol 来进行恢复，16.6 版本可以直接将鼠标放置某元器件上，右键下拉菜单选择“Refresh symbol instance”命令来实现，操作更为简单。



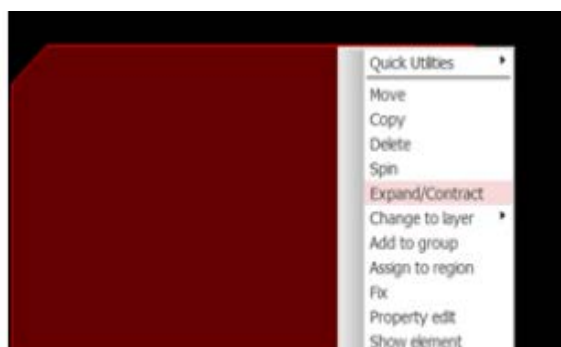
## Parameterized Cornering for Rectangular Shapes

16.6 版本在执行“Shape-Rectangular”命令时，可以在 Option 控制面板中设置自动将矩形的四个角进行倒角（chamfer）或圆弧角（Round）操作。

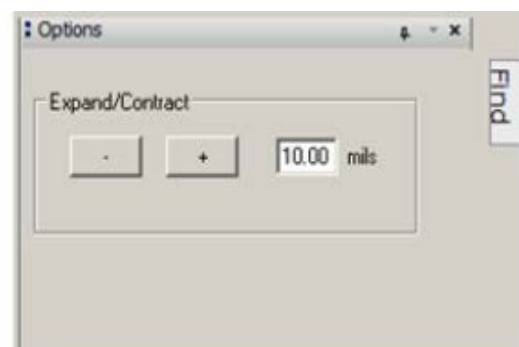


## Shape Expansion/Contraction

在 General Edit 模式下，鼠标放在 Shape 上，右键下拉菜单中新增“Expand/Contract”命令，用于改变 Shape 的大小。



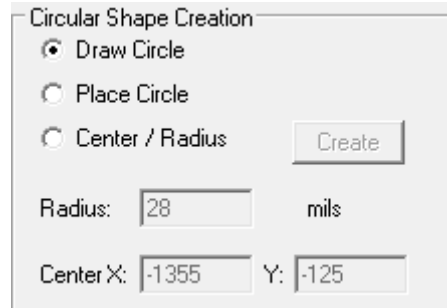
Context menu for expand/contract



increment controls

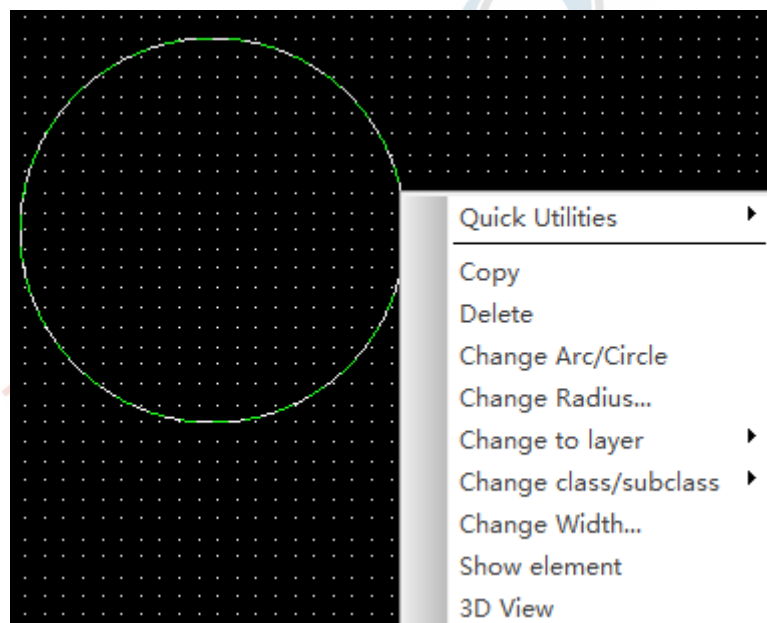
## ***Add Circle - Ease of Use Improvements***

16.6 版本在选择 “Add-Circle” 或 “Shape-Circle” 命令后，添加圆形 Shape 时，可以在 Option 控制面板中设置圆形 Shape 的相关参数（半径、中心坐标）：



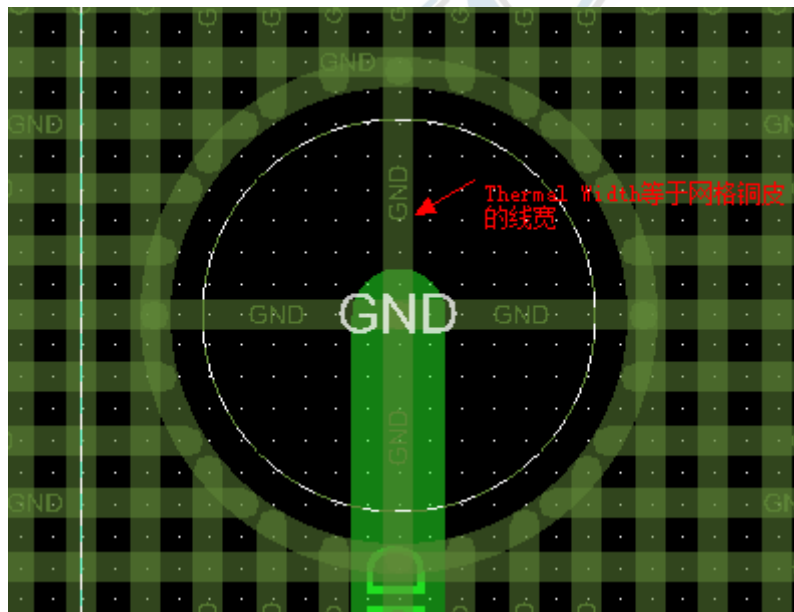
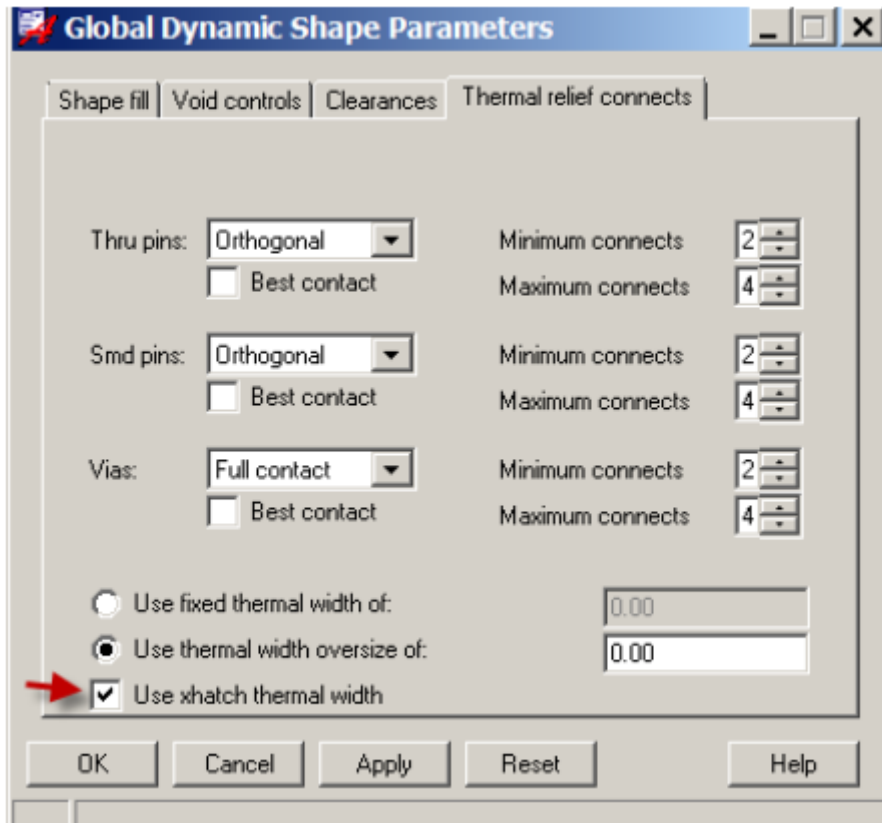
## ***Change Radius of Line Drawn Circle***

在 General Edit 模式下，对于通过线绘制的圆形，16.6 版本支持通过右键下拉菜单中的 “Change Arc/Circle” 或 “Change Radius” 命令来改变圆形的大小。



## ***Thermal width for Xhatch shapes***

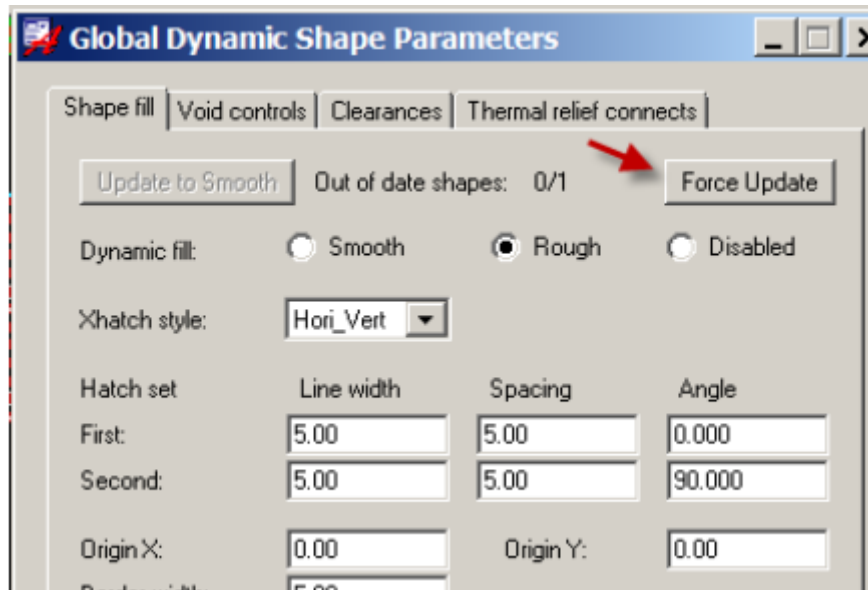
16.6 版本中通过 “Shape-Global Dynamic Parameters” 设置引脚连接方式（Thermal relief connects）时，新增 “Use xhatch thermal width” 选项，该选项表示铜皮到引脚的连接宽度（thermal width）由网格铜皮的线宽来确定。（默认情况下该线宽等于电源/地网络的线宽。）



## Shape Updating

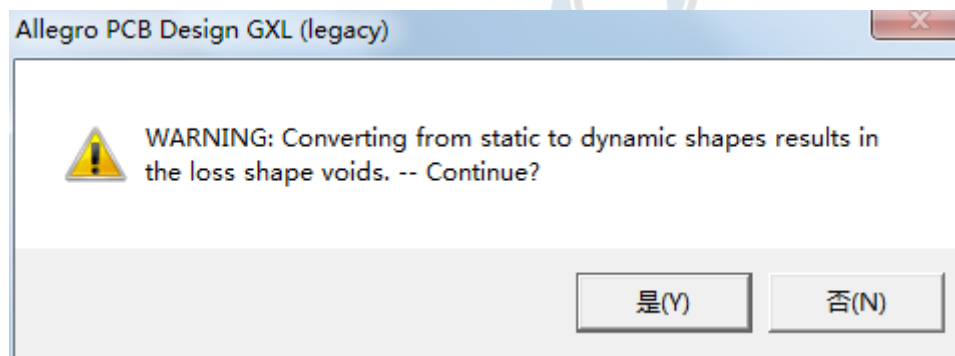
在“Shape-Global Dynamic Parameters”中，新增命令“Force Update”，用于对 Shape 进行强制更新操作。





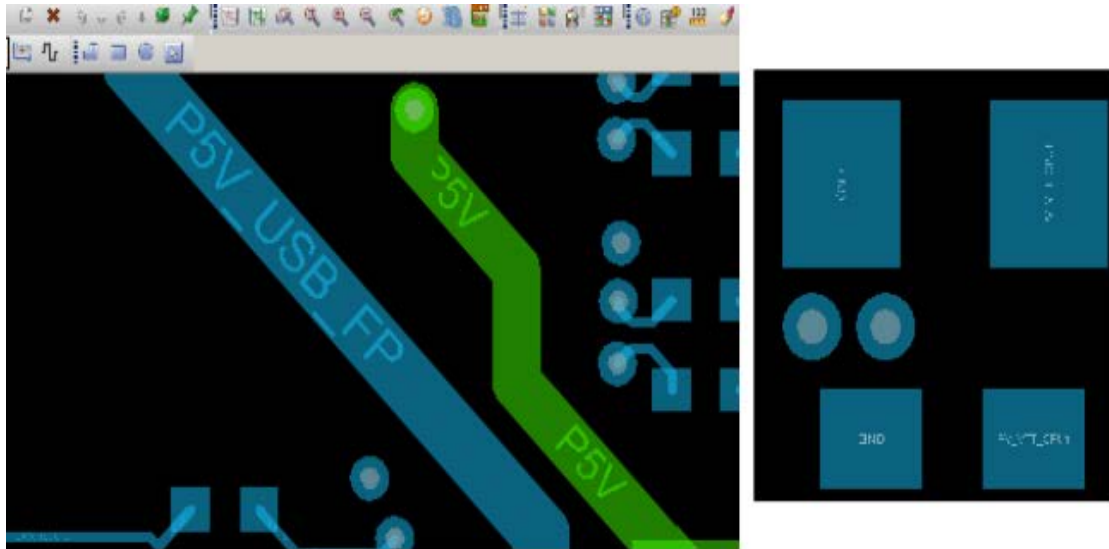
## Shape Messaging

在进行静态铜皮向动态铜皮的转换时，会弹出提示对话框，提示此操作会造成 Voids 的丢失。

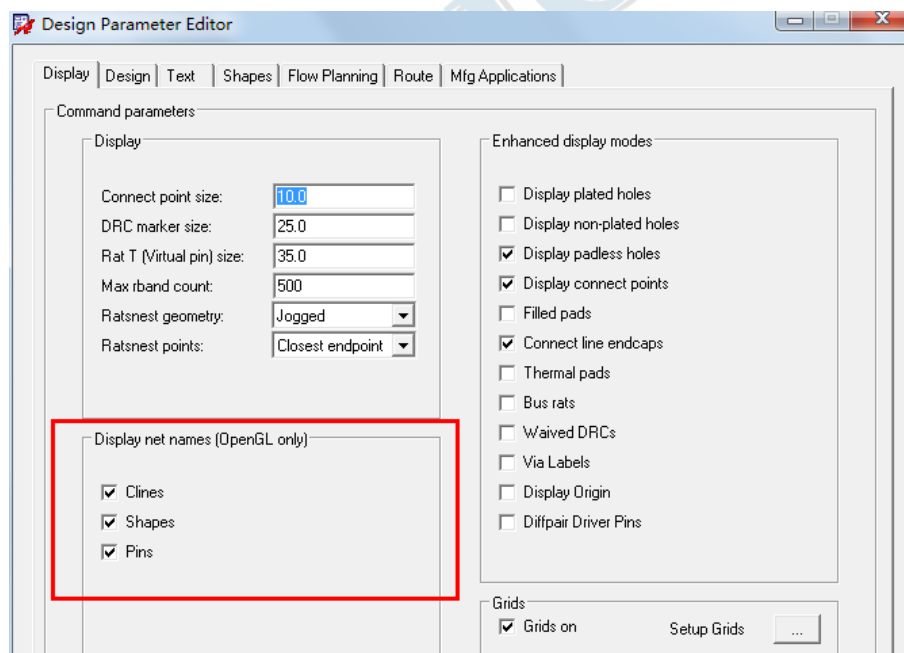


## Embedded Net Names

16.6 版本支持在走线、引脚、铜皮上显示其所在的网络名称。



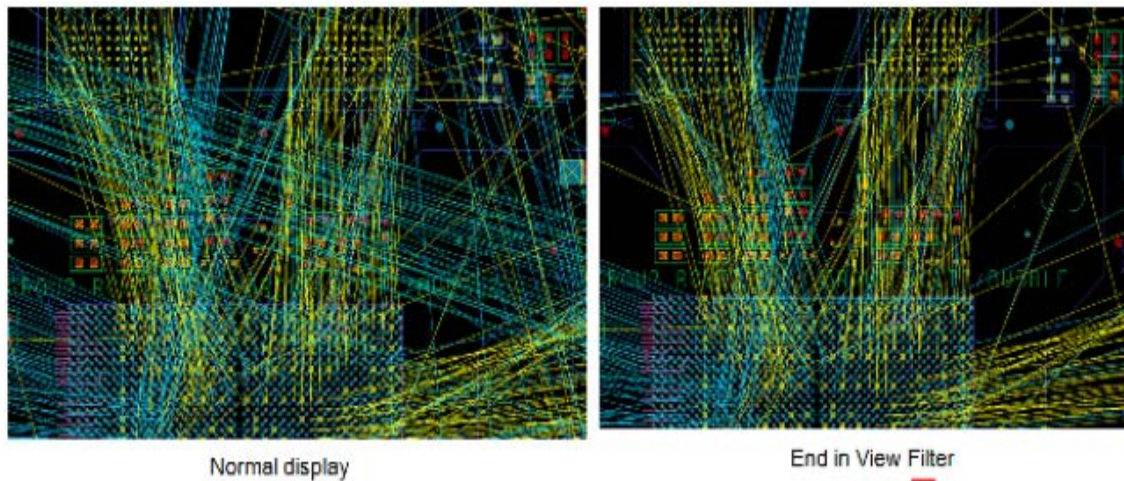
该功能只能在 OpenGL 开启情况下实现，用户还可以通过“Setup-Design Parameters”来控制走线（Clines）、铜皮（Shape）和器件引脚（Pins）上是否显示网络名称。



## Rat Display - End in View Only

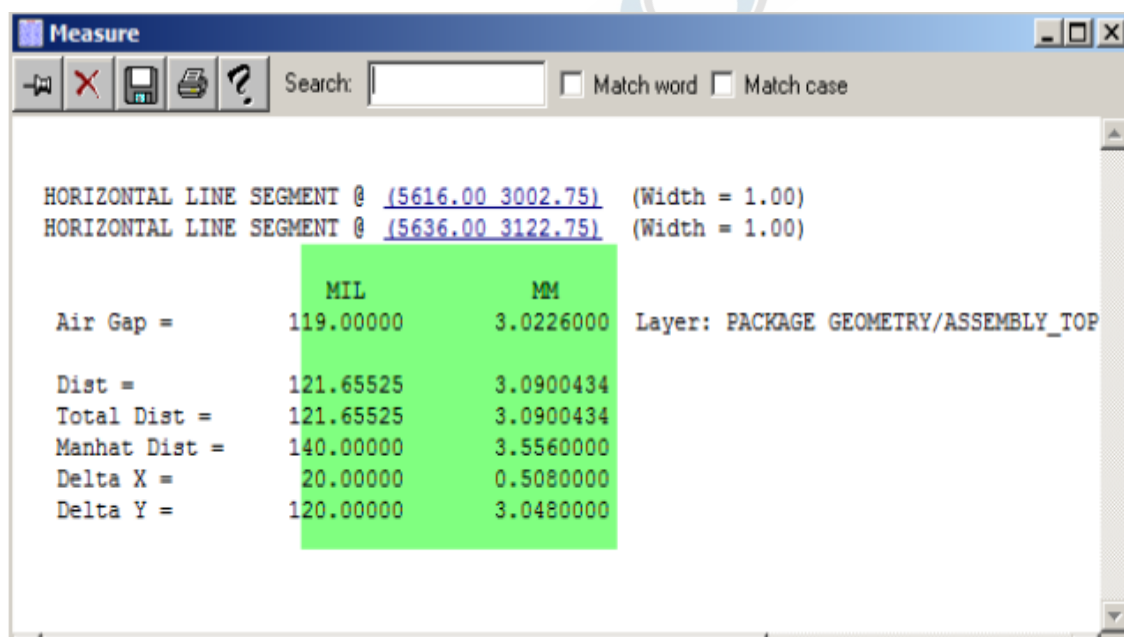
16.6 版本提供了一种新的飞线显示方式“End In View Only”，没有终止于当前视野内的飞线会自动过滤掉。

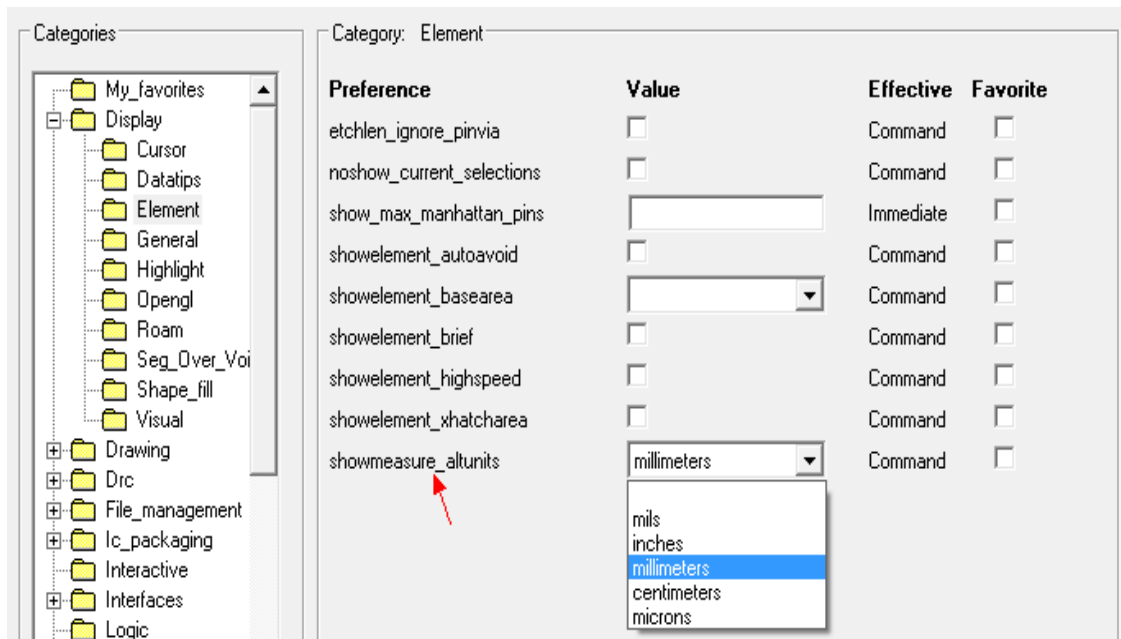
用以降低当前视野内飞线的密度。



## Show Measure Support for Dual Units

16.6 版本在执行“Display-Measure”命令时支持两种单位的显示，如毫英寸和毫米。通过环境变量 showmeasure\_altunits 来设置第二显示单位。





## Multiple Constraint Region Assignments

16.6 版本支持对单个或多个约束区域（Constraint Region）执行“Assign to Region”命令。

## Move Lines and Text outside Existing Class Structure

16.6 版本支持将线段（Lines）或文字（Text）信息转移到其他的类（Class）或子类（Subclass）中，通过选择线段或文字，右键下拉菜单中的“change class/subclass”命令来实现。

## "Snap Pick to" updates

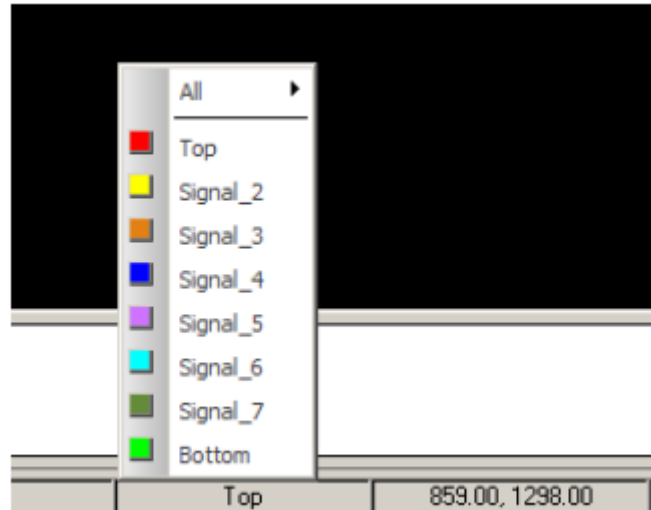
在执行“Edit-Vertex”命令时，右键下拉菜单中新增“Snap Pick to”命令。

## Status Bar updates

16.6 版本在状态栏中的改进：

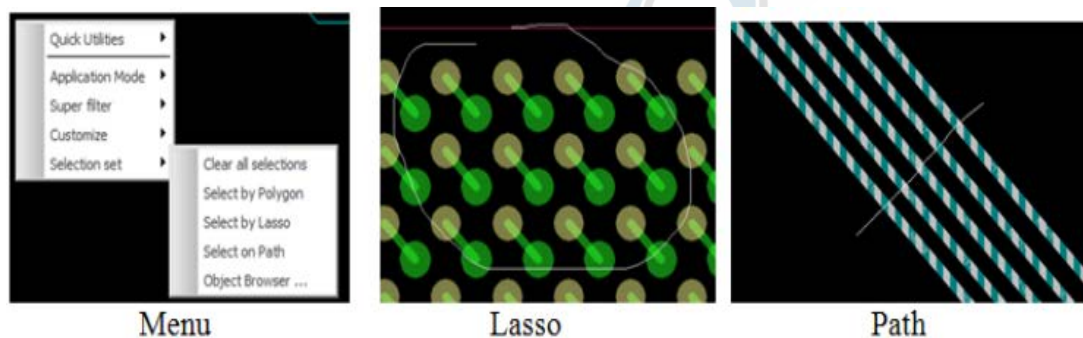
不同的层配以不同的颜色加以区分；

与 Visibility 控制面板同步，点击哪一层就会显示哪一层。



## Select by Lasso or Path

16.6 版本鼠标右键下拉菜单 Selection set 中新增两个命令 “Select by lasso” 和 “Select by Path”。



Select by Lasso: 以索套的方式选择对象；

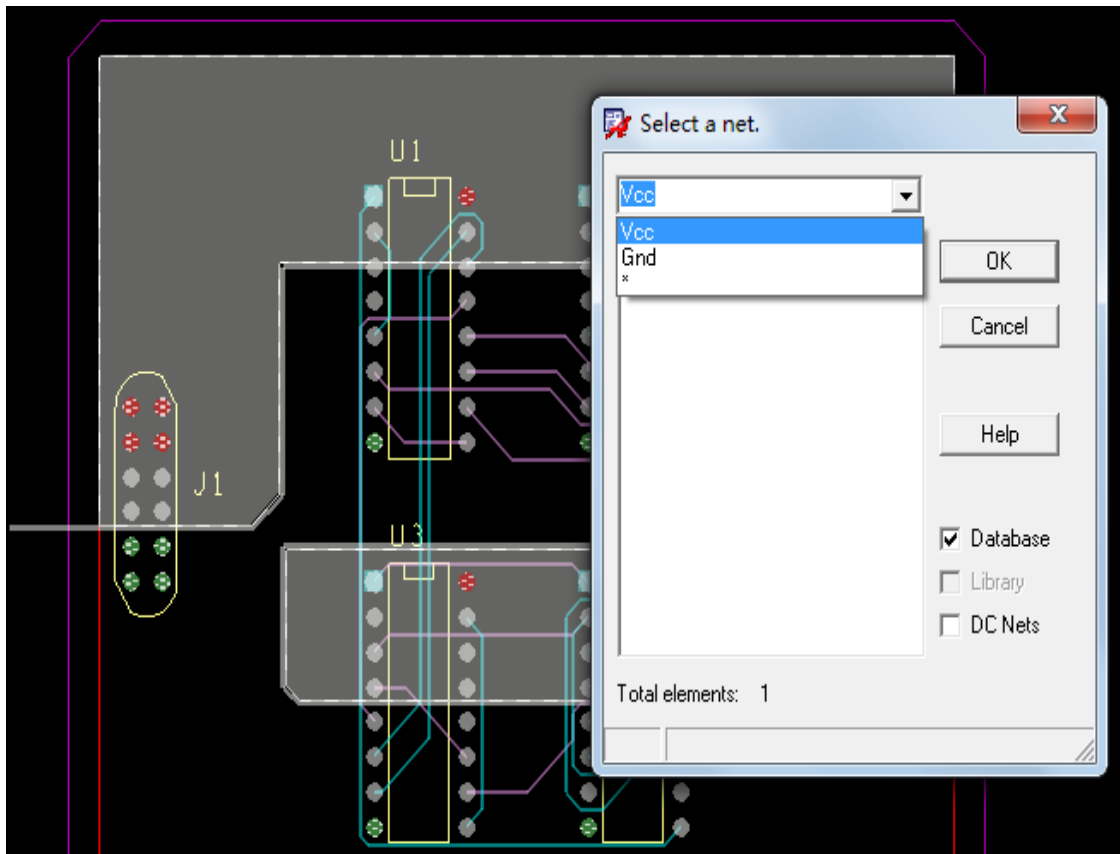
Select by Path: 以鼠标经过的路径的方式选择对象，鼠标经过哪些对象则选取哪些对象。

## Highlight Nets associated with Component

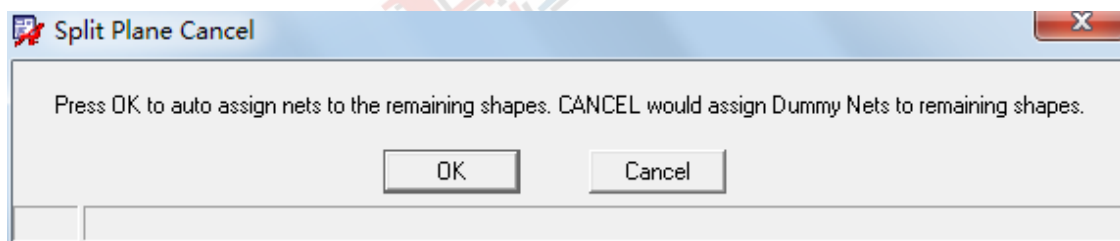
16.6 版本支持在对元器件进行高亮显示的同时，将该元器件关联的网络一并进行高亮。操作方法：选择元器件，右键下拉菜单中选择 “Highlight associated nets” 命令。

## Split Plane Association

通过 “Edit-Split Plane” 创建铜皮时，网络与铜皮的对应关系会保存至数据库中。当重新分割铜皮时，网络分配对话框会显示与当前 Shape 默认的关联网络，如图：



点击“OK”确认该网络。如果需要选择其他网络，则选择“\*”来选择其它网络。当选择“Cancel”后，弹出如下提示框：



点击“OK”：系统自动关联铜皮和网络；

点击“Cancel”：所有铜皮没有任何网络属性（dummy nets）。

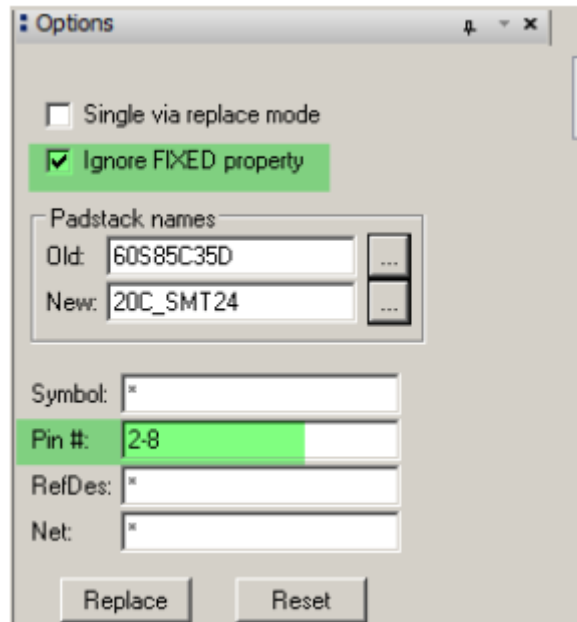
## DRC by Window

在 Tools 菜单下，16.6 版本新增命令“Window DRC”，这是另外一种进行 DRC 检查的方法。选择该命令后，通过鼠标框选的方式定义某区域，进行该区域内 DRC 的检查。对于复杂电路板设计，用户可以关闭 on line DRC，而采用 Window DRC 的方式进行局部电路的规则检查。



## ***Replace Padstack Enhancements***

16.6 版本在执行“Tools-Padstack-Replace”命令时，Option 控制面板中新增两个选项：



Ignore FIXED property: 在进行焊盘的替换时，支持忽略 FIXED 属性；

Pin #: 支持批量替换引脚，例如输入 2-8，即只替换编号为 2-8 号的引脚。

## **Design for Manufacturing**

### ***IPC-2581 Data Transfer Standard***

16.6 版本支持输入/输出 IPC-2581 格式的 PCB 设计数据，IPC-2581 数据格式允许用户将 PCB 的设计数据如光绘数据、钻孔数据、测试数据、BOM 数据等包含在一个数据文件中。采用这种方式，可以缩短 PCB 制造时间，提高设计效率。

由 Allegro PCB Editor 输出的 IPC-2581 文件需要由 IPC 免费浏览器进行查看，IPC 浏览器可以通过官方网站下载(<http://www.ipc2581.com/index.php/ipc-2581-files>)

## ***Artwork / Film Records Enhancements***

■ 16.6 版本将光绘文件的输出设置为四种方式，分别为 Artwork、IPC2581、PDF、Visibility。



Film Domain Setting				
Film Name	Artwork	IPC2581	PDF	Visibility
ASY01	<input type="checkbox"/>	<input type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>
ASY02	<input type="checkbox"/>	<input type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>
ASY03	<input type="checkbox"/>	<input type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>
BOTTOM	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>
FAB01	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>
FAB02	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>
FAB03	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>
FAB04	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>
G03	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>
G06	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>

■ 在“Artwork Control Form”设置框中新增选项“**Draw Holes Only**”，即输出只包含引脚或过孔的光绘文件。添加底片时须添加 Pin Class 或 Via Class 的信息；

备注：该选项不支持布线层光绘文件的输出；

■ RS274X 数据格式支持有重叠的铜皮数据的输出；

■ 光绘文件名称由之前的最大 17 个字节增加至 47 个；

■ 光绘文件输出时支持删除未用到的焊盘；

■ 如果有值为 0 的线宽，输出日志（Photoplot.log）中会有警告；

■ 光绘文件的单位默认与 PCB 板采用相同单位；

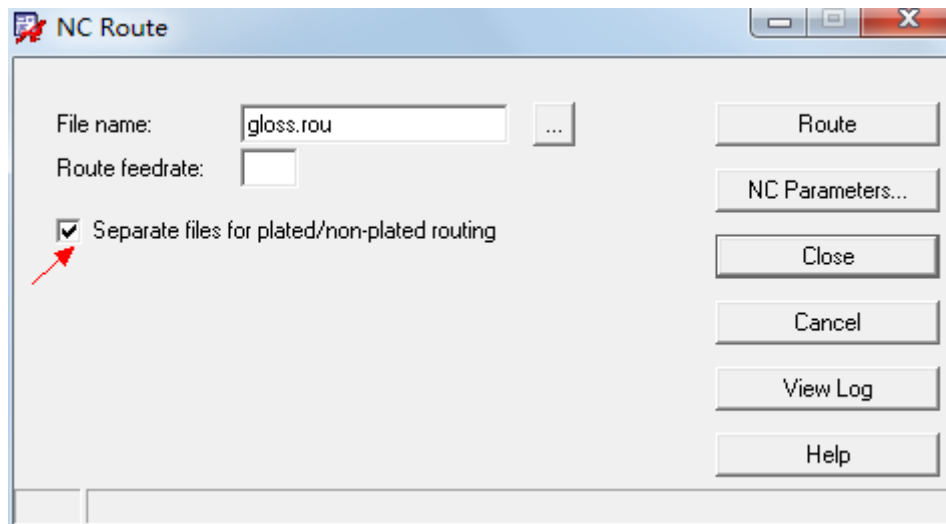
## NC Drill Enhancements

16.6 版本在 NC Drill 文件中可以输出钻孔的数量，之前版本只在日志文件中可以输出。

## NC Route Enhancements

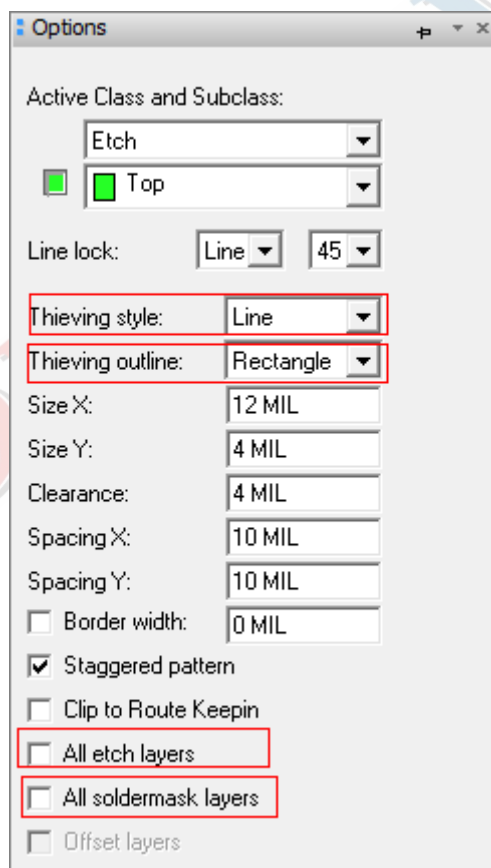
16.6 版本进行 NC Route 操作时，支持将上锡与不上锡的钻孔区分开。





## Thieving Enhancements

在执行“Manufacture-Thieving”命令时，Option 控制面板如图：



Thieving outline: 为新增选项，用于确定 Thieving 的区域，有 Shape 和 Rectangle 两个选项；

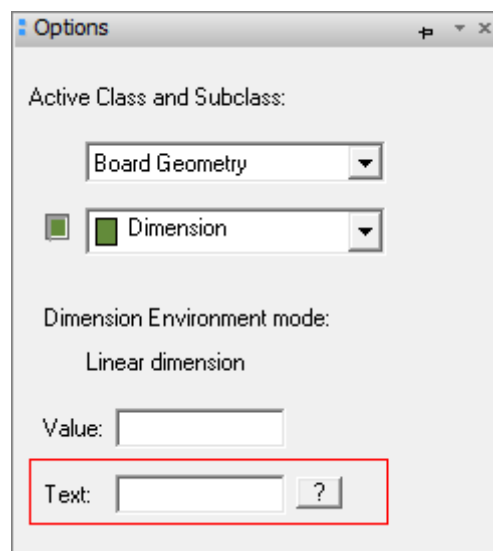
Thieving style: 该选项内新增“Line”，设定取样点的形状为线性，由 Size X 和 Size Y 确定每一个取样点的线长和线宽；

All etch layers: 为所有布线层添加取样点；

All soldermask layers: 为所有的阻焊层添加取样点。

## ***Associative Dimensioning Updates***

在执行“Manufacture-Dimension Environment”命令，进行线性标注(Linear Dimension)时，Option 控制面板有如下改进：

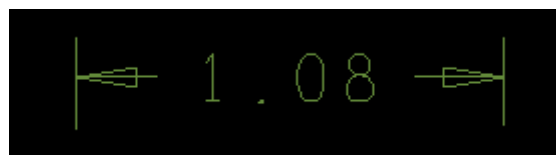


**Text:** 可以在该栏内输入文字，其优先级高于尺寸文本，如输入“XYZ”，则尺寸标注的结果只显示 XYZ。



为配合尺寸标注，Text 栏中支持以下格式的输入：

**%v:** 标注结果为实际尺寸；



**%u:** 标注结果为单位；



例如：

**Text 栏内输入值**

XYZ

Value is %v

Value is %v %u

%v%u

%v is the value

**实际标注值**

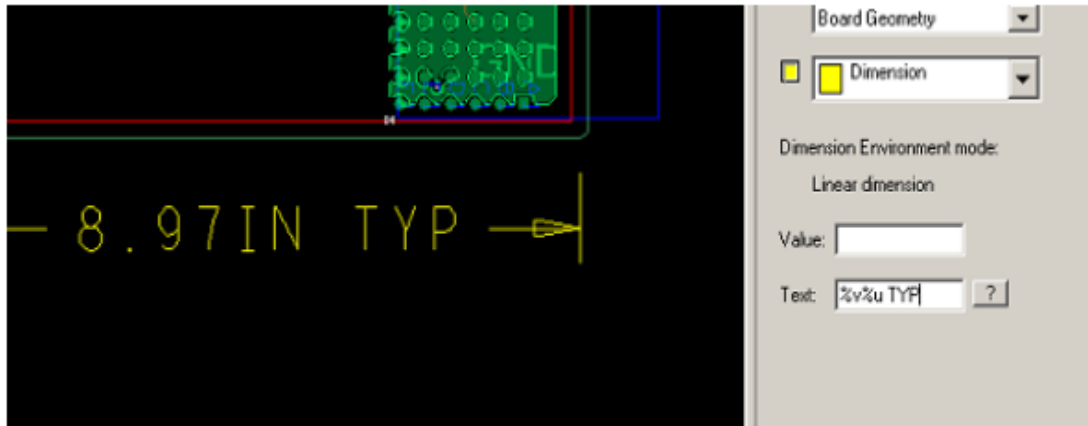
XYZ

Value is 1.0

Value is 1.0 IN

1.0IN

1.0 is the value

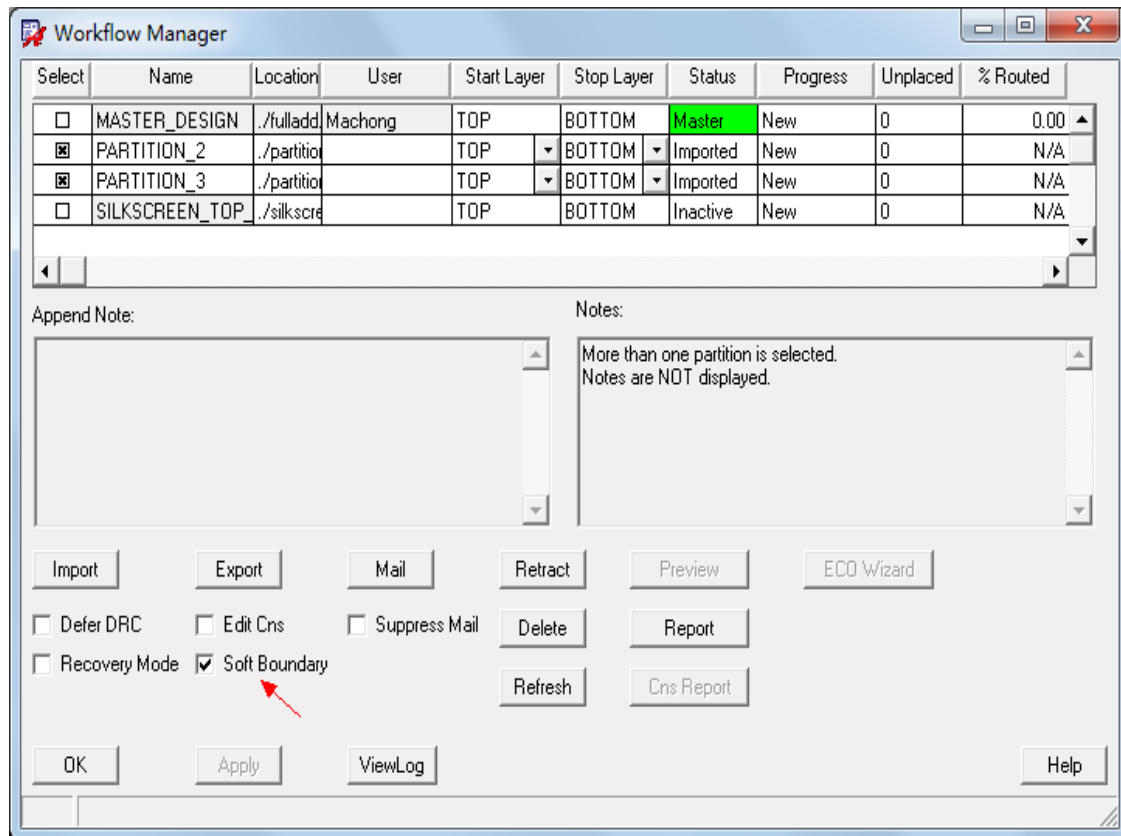
**Change Line Font**

16.6 版本支持在 General Edit 模式下对线型进行修改，鼠标放置在某条线上，右键下拉菜单中选择“Change Line Font”命令。

**Team Design (Partitioning) more Flexible in 16.6****Flexible Boundaries**

为了减少主板与分板设计人员之间的反复交流，16.6 版本在团队协作设计上允许分板设计人员在所属区域外部进行元件移动与布线。

主板人员通过设置“Soft Boundary”来控制是否允许分板进行跨区域布局布线。



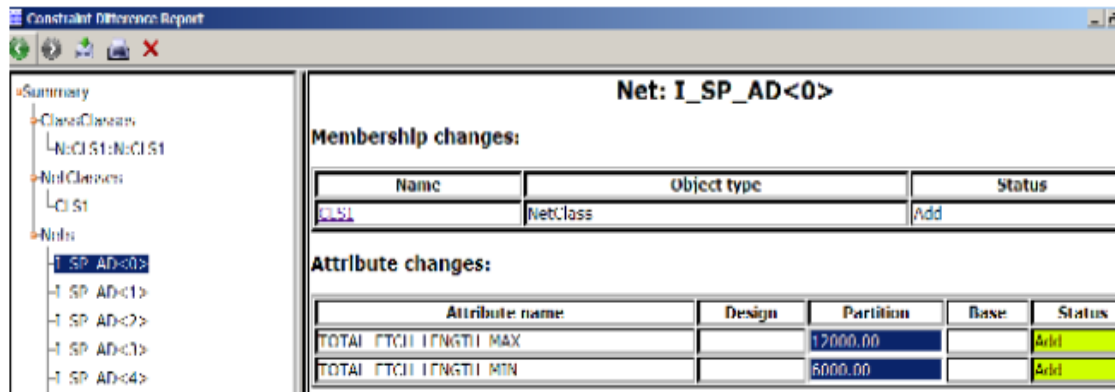
备注：16.6 之前版本也允许分板在区域外移动元器件，但是将分板导入主板后，那些移入外部的元器件会丢失。16.6 版本设置了“Soft Boundary”后可避免此问题。

## Constraint Editing

16.6 版本允许用户在分板中进行物理规则、间距规则、电气规则的设置。主板通过设置 workflow manager 中的“Edit Cns”来控制分板是否有此功能。

## Differences Report

16.6 版本支持输出主板与分板之间约束规则的差异报告，通过 workflow manager 中的“Cns Report”来控制。



## ECO Wizard

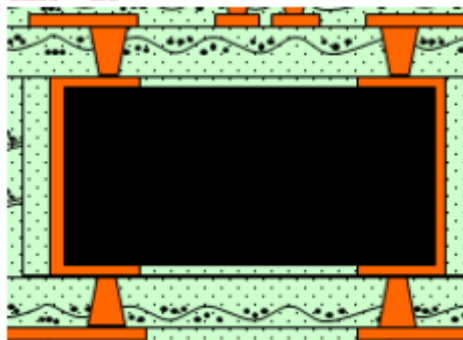
当原理图的网表发生变化时，通过 workflow manager 中的 ECO Wizard 进行网表的重新提交，保证原理图与 PCB 设计的一致性。

备注：执行 ECO Wizard 命令时，须先将所有的分板导入主板中。

## Embedded Component Design

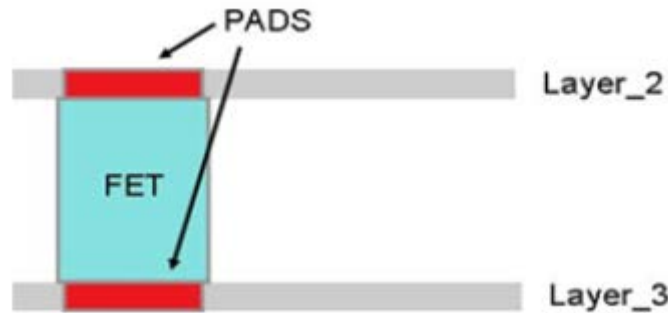
### Dual Side Contact Components

16.6 版本支持元器件的双边连接方式，设置双边连接首先在元器件编辑页面中对元器件设置 DUAL\_SIDED\_COMPONENT 属性。



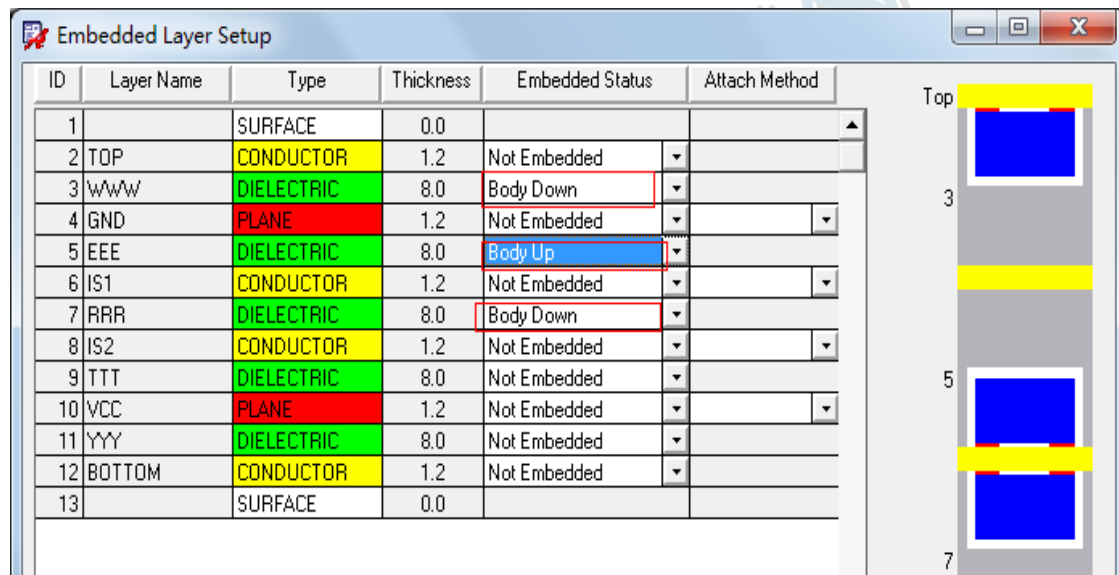
### Vertically Placed Components

支持元器件在内层进行纵向摆放。



## 2 Layer PCB Support

默认情况下，顶层和底层不支持元器件嵌入式摆放，如果尝试设置会弹出提示框提示用户操作不允许，为了方便在顶层或底层中间也能摆放元器件，16.6 支持在绝缘层中间直接摆放元器件，前提需要用户在 Setup-Cross section 中先命名绝缘层的名称。



## Suppression of Unassigned Indirect Vias

如果元器件定义时设置了属性 EMB\_INDIRECT\_VIA\_SUPPRESS，则当采用间接连接方式内嵌器件时，16.6 版本支持将没有网络连接的过孔进行删除。以下三种方式可以还原：

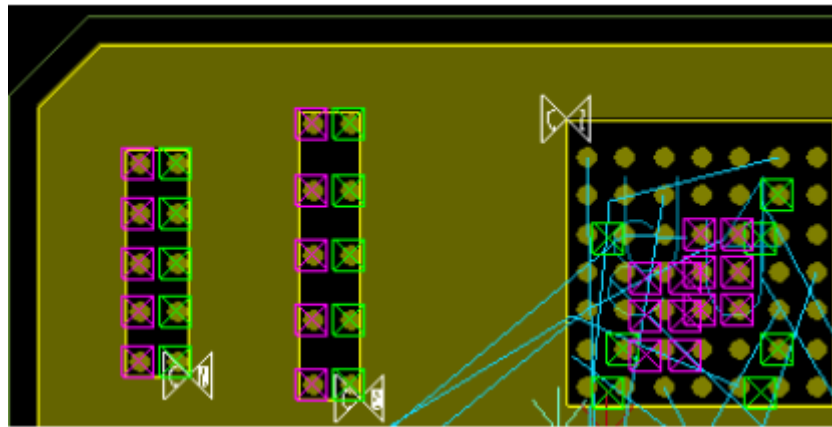
将过孔连接至某网络；

内嵌连接方式改为直接连接；

删除器件的 EMB\_INDIRECT\_VIA\_SUPPRESS 属性。

## New Embedded Cavity DRCs

元器件的数量如果与允许放置的内嵌空间有冲突，会提示 DRC 错误：



## Database & Misc Enhancements

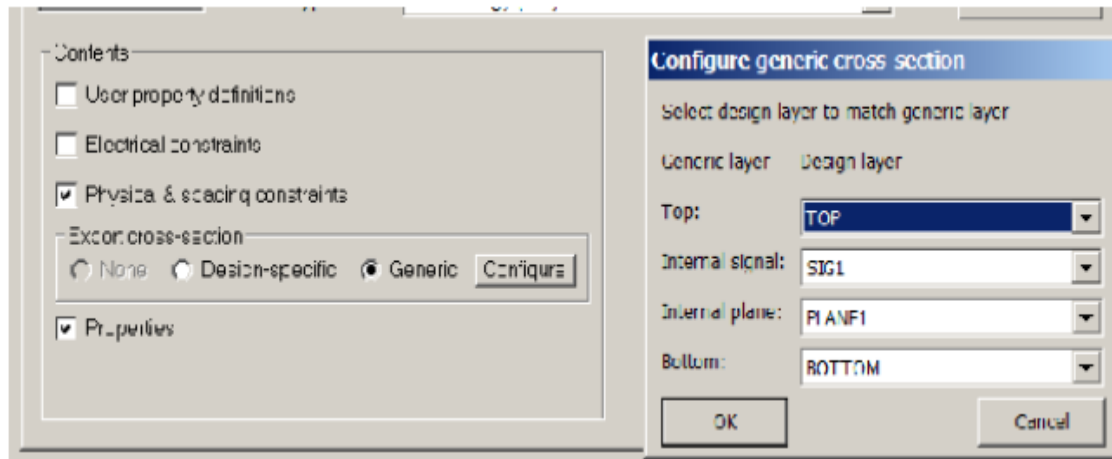
### Pastemask update

16.6 版本中对于同种封装 Pastemask 到 Pastemask 的检查，设置为 Package Geometry 中的 Pastemask\_top 的检查。

### Generic Tech File (Cross Section Neutral)

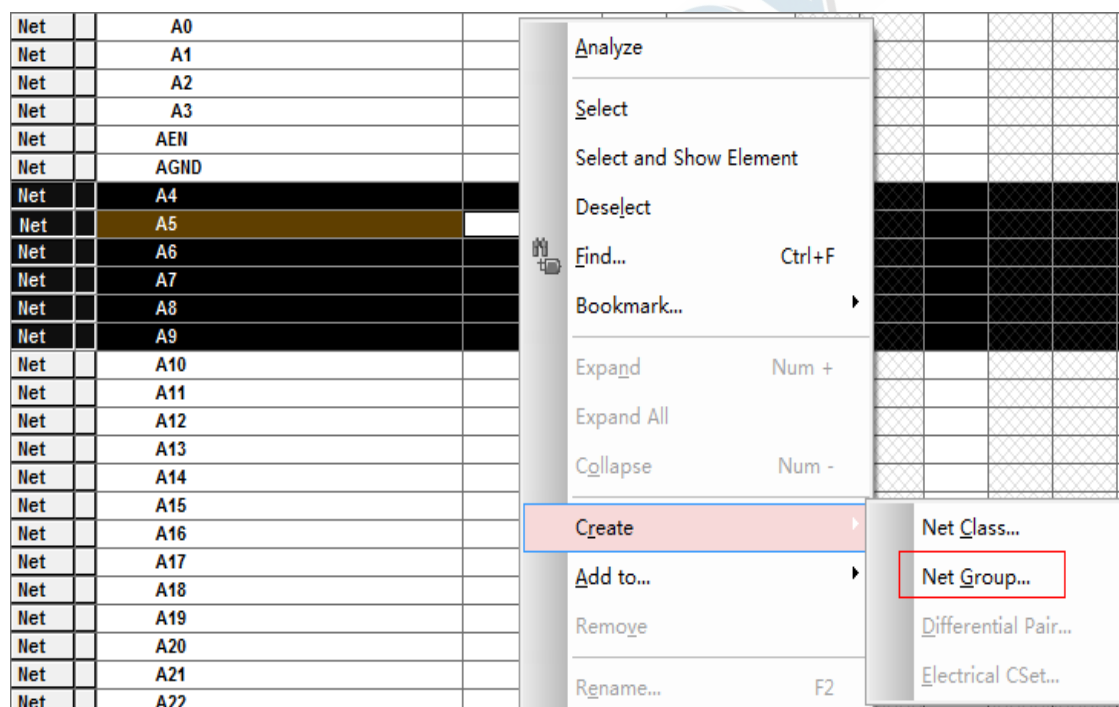
在约束管理器中通过“File-Export-Technology File”输出技术文件时，16.6 版本增加一种叠层信息的新的输出模式称为 Generic，以这种方式输出的叠层信息包括四层：Top、Internal Signal、Internal Plane 和 Bottom。每一层对应其关联的实际叠层，例如下图对应关系：

Layer Type (in Generic Tech File)	Layer (in target Design)
Top	TOP
Internal Signal	SIG1, SIG2, SIG3, SIG4
Internal Plane	PWR, GND
Bottom	BOT



## Net Group Constraint Object

在约束管理器中新增概念 Net Group，来代替之前的 Bus，Bus 可以通过编辑属性的方式来添加。



## New Design Defaults

16.6 版本支持用户设置默认的单位/精度等基本参数，通过“Setup-User Preferences”中的环境变量“new\_units”“new\_accuracy”来进行设置。这样每新建一个设计，都会遵循默认的单位/精度。





Category: Search results

Preference	Value	Effective	Favorite
allegro_new_units	<input type="text"/>	Command	<input type="checkbox"/>
apd_new_units	<input type="text"/>	Command	<input type="checkbox"/>
cdnsip_new_units	<input type="text"/>	Command	<input type="checkbox"/>
new_units	<input type="text"/>	Command	<input type="checkbox"/>
pad_designer_new_units	<input type="text"/>	Command	<input type="checkbox"/>

mils  
inches  
millimeters  
centimeters  
microns

Category: Search results

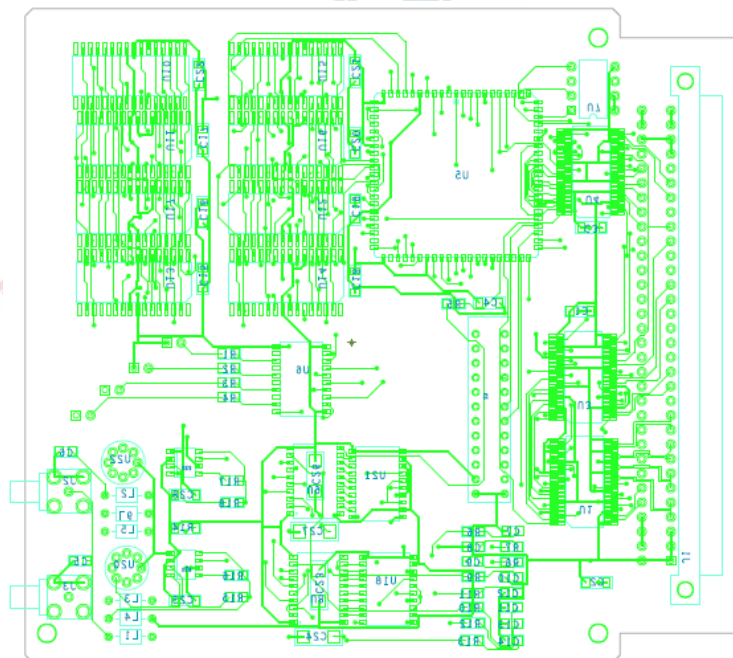
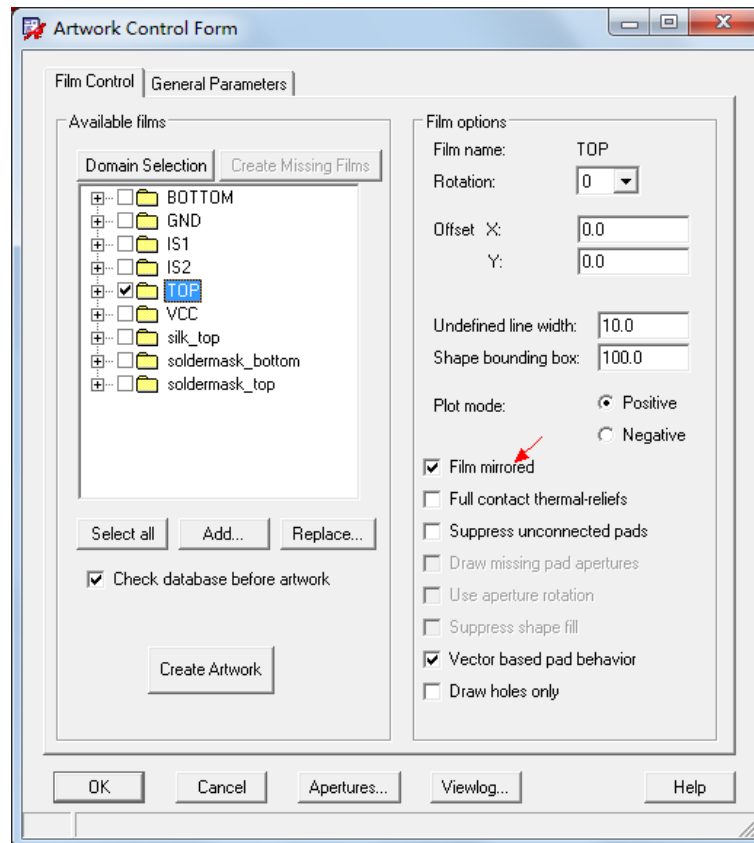
Preference	Value	Effective	Favorite
allegro_new_accuracy	<input type="text" value="2"/>	Command	<input type="checkbox"/>
apd_new_accuracy	<input type="text"/>	Command	<input type="checkbox"/>
cdnsip_new_accuracy	<input type="text"/>	Command	<input type="checkbox"/>
new_accuracy	<input type="text"/>	Command	<input type="checkbox"/>
pad_designer_new_accuracy	<input type="text"/>	Command	<input type="checkbox"/>

## Find Filter update

Find 控制面板中新增多种查找对象（Match group, Net group, Net class, Pin pair, Diff Pair, Region）。

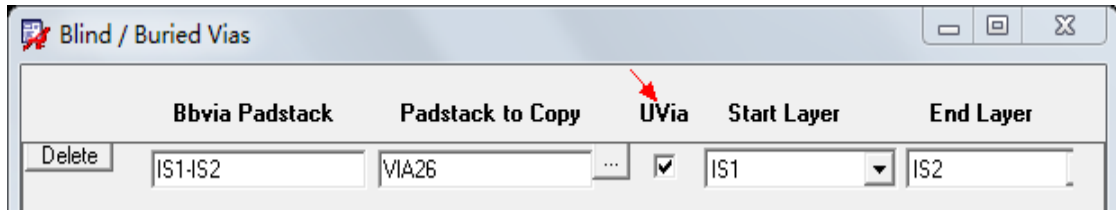
## Plotting Improvements

若光绘文件以镜像（mirrored）的方式输出，则对应的 PDF 也输出镜像文件。



## ***Buried/Blind via Generator update***

16.6 版本支持在创建盲/埋孔的同时， 创建 uvia。



## Design Re-Use Modules

- 在导入/导出单元模块时，16.6 支持单元模块中泪滴（Fillet）的保留。（之前版本泪滴会丢失）；
- 针对模块路径的查找新增环境变量 `modules_no_5x_support`：默认情况下，在调用模块单元时，优先在当前工作路径下寻找模块文件（`mdd`），如果当前路径下没有找到，则在 `modulepath` 设置的路径下查找。如果设置了变量 `modules_no_5x_support`，则优先在 `modulepath` 路径中查找。

Preference	Value	Effective	Favorite
<code>modules_no_5x_support</code>	<input type="checkbox"/>	Restart	<input type="checkbox"/>
<code>modulepath</code>	<input type="text" value="..."/>	Command	<input type="checkbox"/>

## New Variables

`place_text_filename`: 设置“File-Export-Placement”的输出文件名。如果不设置默认文件名为 `place_txt.txt`;

`showmeasure_altunits`: 采用双重单位标注尺寸时，设置第二单位，包含  
`mils, inches, millimeters, centimeters, microns` 五个选项;

`dump_library_directory`: 设置“File-Export-Libraries”库文件的输出路径，如果不设置默认保存在当前工作路径下;

`wizard_template_path`: 设置模版文件的路径;

`new_template_with_last_design`: 新设计沿用上个设计的基本设置，如单位、精度、页面尺寸等;

`allegro_new_accuracy`: 设置新设计的精度;

`allegro_new_units`: 设置新设计的单位;

`modules_no_5x_support`: 设置查找 `modules` 时只在 `module path` 路径下查找。

## New Properties

OK\_NET\_ONE\_PIN: 在输出的 Net Single Pin and No Pin 报告中, 忽略设置了

OK\_NET\_ONE\_PIN 的网络;

DUAL\_SIDED\_COMPONENT: 元器件嵌入式布局时, 设置元件两边都可以连接。该属性在元件封装编辑

页面中进行设置;

EMB\_INDIRECT\_VIA\_SUPPRESS: 移除内嵌元件的引脚 (在间接连接下);

DYN\_XHATCH\_THERM\_WIDTH: 适用于网格动态铜皮的属性, 设置该属性后。热风焊盘与铜皮连接的

线宽 (thermal clines widths) 由网格铜皮的宽度 (cross hatch width) 确定。

## ***Modified Properties***

VIA\_AT\_SMD\_THRU: 16.6 版本支持对元器件引脚添加该属性;

LIBRARY\_PATH: 16.6 版本该属性可以显示了 (之前版本该属性是隐藏的);

IC\_DESIGN\_NET\_NAME (SIP and APD): 16.6 版本支持对元器件和功能模块添加此属性;

IDX\_EXCLUDE: 16.6 版本支持对矩形 (Rectangles) 或多边形 (Shapes) 添加该属性。

## ***Reports***

Single and No Pin net 报告中支持忽略设置 OK\_NET\_ONE\_PIN 属性的网络;

## ***IDF Out***

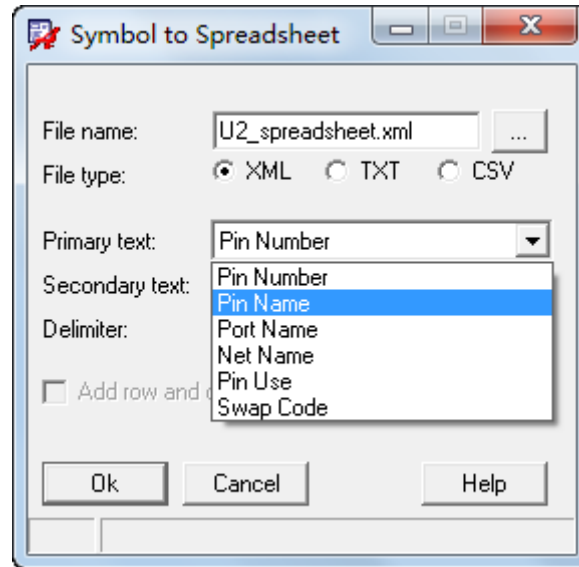
输出 IDF 时新增 Panel outline 选项。

## ***Fabmaster Output***

16.6 版本 “File-Export” 支持 Fabmaster 的输出 (Fabmaster 为内部 Cadence 工程指令)。

## ***Symbol Export***

16.6 版本 “File-Export” 支持元器件电子表格 (Symbol Spreadsheet) 的输出, 可以输出元器件引脚编号、名称、引脚连接的网络名称等信息, 支持 XML、TXT、CSV 三种格式, 输出文件默认保存在当前工作路径下。



## Dump Libraries

以往版本中输出库时，默认保存在当前工作路径下，16.6 版本可以通过设置变量“dump\_library\_directory”来定义库的输出路径。

Preference	Value	Effective	Favorite
dump_library_directory	D:\library	Command	<input type="checkbox"/>

## Product Selectors

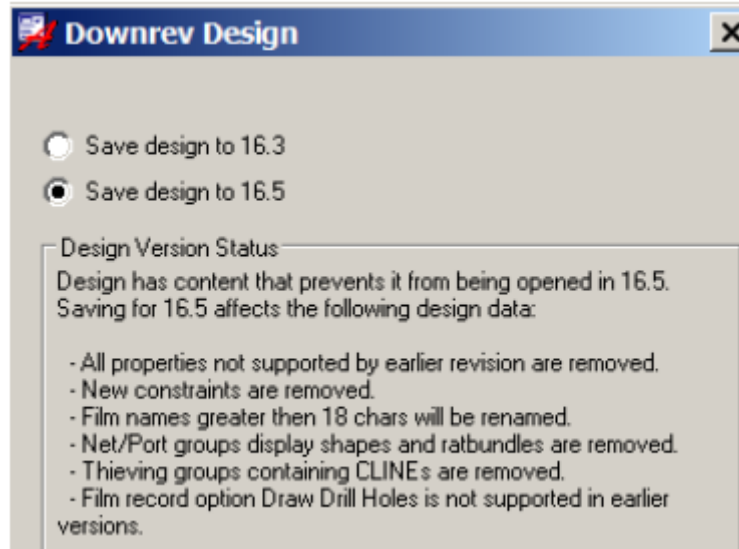
和 16.5 一样，16.6 版本的 PCB Editor 仍然由基本模块（Base）和多个附加模块（Option）构成。

## Data Migration

- 移除环境变量 display\_shapefill & display\_shapefill\_analysis;
- 网络命名中允许出现反斜线 (\) ;
- 新增 NET\_GROUP, 代替之前的 BUS。

## Downrev to 16.5

16.6 版本可以降级至 16.5 或 16.3 版本:



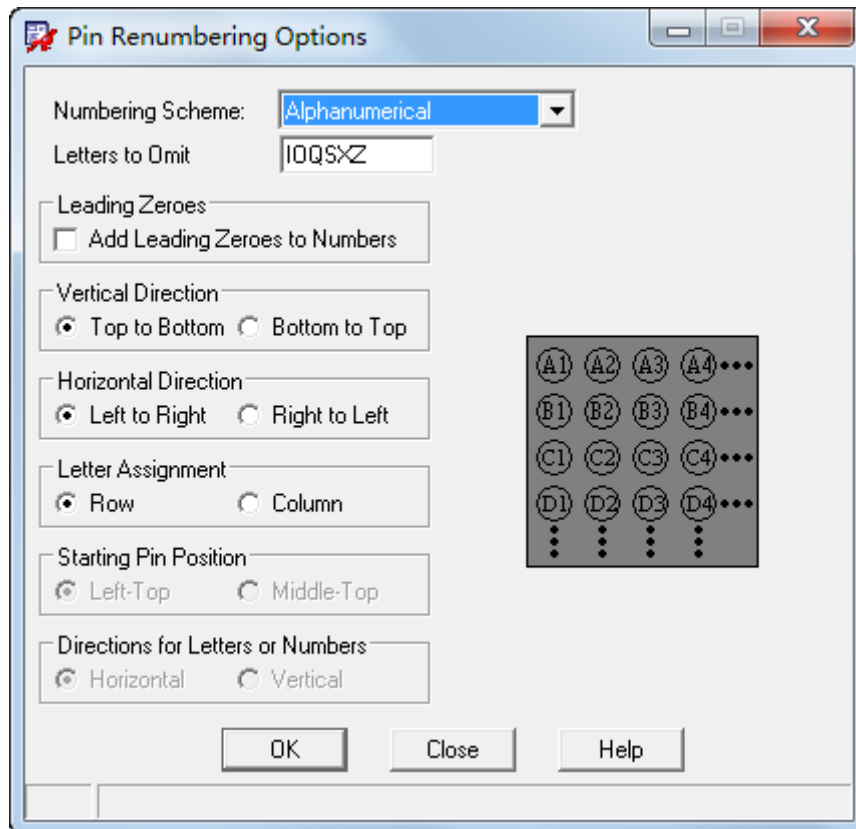
## ***Database Diary***

16.6 版本支持数据日志文件的输出。

## **Symbol Editor Enhancements**

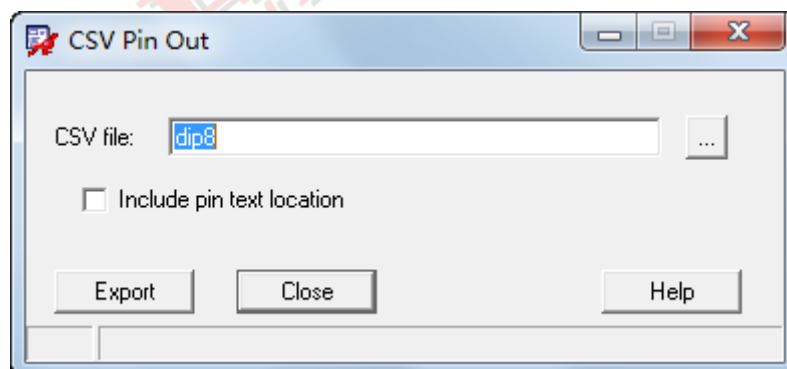
### ***Renumber Symbol Pins***

16.6 版本在元器件编辑中支持对元器件引脚的重新编号：“Layout-Renumber pins”：



### ***Symbol Editor - Import .CSV pin files***

16.6 版本支持将元器件引脚 CSV 文件的导出/导入操作：File-Export-CSV Pin file;  
File-Import-CSV Pin file。





	A	B	C	D	E	F	G	H	I
1	If units not specified use current design units								
2	Units mils								
3	If Format for pin definition file (comma delimited)								
4	If To Mirror pin text use "n".								
5	PinNumb	Padstack	x	y	rotation	textOffset	textOffset	textRotate	textMirror
6	18	S060X014f	150	226.38	0	0	0	0	
7	17	S060X014f	150	206.69	0	0	0	0	
8	16	S060X014f	150	187.01	0	0	0	0	
9	15	S060X014f	150	167.32	0	0	0	0	
10	14	S060X014f	150	147.64	0	0	0	0	
11	13	S060X014f	150	127.95	0	0	0	0	
12	12	S060X014f	150	108.27	0	0	0	0	
13	11	S060X014f	150	88.58	0	0	0	0	
14	10	S060X014f	150	68.9	0	0	0	0	
15	9	S060X014f	150	49.21	0	0	0	0	
16	8	S060X014f	150	29.53	0	0	0	0	
17	7	S060X014f	150	9.84	0	0	0	0	
18	6	S060X014f	150	-9.84	0	0	0	0	
19	5	S060X014f	150	-29.53	0	0	0	0	
20	4	S060X014f	150	-49.21	0	0	0	0	
21	3	S060X014f	150	-68.9	0	0	0	0	
22	2	S060X014f	150	-88.58	0	0	0	0	